

Analogue/digital conversion method e.g. for machine tool position sensor signals uses comparison method for correction of digital output value dependent on analogue input signal

Patent number: DE10052152
Publication date: 2001-09-06
Inventor: HERZER ELMAR [DE]; HOHE HANS-PETER [DE]
Applicant: FRAUNHOFER GES FORSCHUNG [DE]
Classification:
- **international:** H03M1/12; H03M1/48
- **european:** H03M1/48
Application number: DE20001052152 20001020
Priority number(s): DE20001052152 20001020; DE20001042908 20000831

Also published as:



WO0219532 (A:
WO0219532 (A:

Abstract of DE10052152

A method for converting an analog input signal (a) into a sequence of digital output values (qn) uses the formation of a first differential value (e) between the current output value and the analog input signal (a). The method also provides for a check to determine whether the amount of the first differential value (e) exceeds a predetermined amount (S). Should the amount of the first differential value (e) exceed the predetermined amount, the method provides that the digital output value (qn) is re-adjusted using a certain adjustment value. Should the amount of the first differential value (e) not exceed the predetermined amount, the method provides that a second differential value (d) between the first difference (e) and an integral value (S) consisting of the sum of first differential values (e) occurring since the checking stage showed throughout that the amount of the first differential value (e) does not exceed the predetermined amount is formed; and that the second differential value (d) is compared with a predetermined threshold value and the digital output value (qn) is incremented or decremented according to the result of this comparison.

Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

Docket # S4-02P11627

Applic. # PCT/DE2003/002580

Applicant: MEIER, BERND ET AL.

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101

2002 P11627



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Patentschrift
10 DE 100 52 152 C 1

51 Int. Cl. 7:
H 03 M 1/12
H 03 M 1/48

21 Aktenzeichen: 100 52 152.5-42
22 Anmeldetag: 20. 10. 2000
43 Offenlegungstag: -
45 Veröffentlichungstag
der Patenterteilung: 6. 9. 2001

DE 100 52 152 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

66 Innere Priorität:
100 42 908. 4 31. 08. 2000

73 Patentinhaber:
Fraunhofer-Gesellschaft zur Förderung der
angewandten Forschung e.V., 80636 München, DE

74 Vertreter:
Schoppe, Zimmermann, Stöckeler & Zinkler, 81479
München

72 Erfinder:
Herzer, Elmar, Dipl.-Ing., 90431 Nürnberg, DE;
Hohe, Hans-Peter, Dr.-Ing., 91332 Heiligenstadt, DE

56 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE	195 40 106 C2
GB	22 42 583 A
EP	01 58 841 A1
EP	1 69 535 A2
WO	93 22 622 A1

54 Verfahren und Vorrichtung zum Umwandeln eines analogen Eingangssignals in eine Sequenz von digitalen Ausgangswerten

57 Zum Umwandeln eines analogen Eingangssignals in eine Sequenz von digitalen Ausgangswerten wird das Bilden eines ersten Differenzwertes zwischen dem aktuellen Ausgangswert und dem analogen Eingangssignal verwendet. Es ist ferner das Überprüfen, ob der Betrag des ersten Differenzwertes einen vorbestimmten Betrag überschreitet, vorgesehen, wobei, falls der Betrag des ersten Differenzwertes den vorbestimmten Betrag überschreitet, das Nachregeln des digitalen Ausgangswertes unter Verwendung eines bestimmten Regelwertes vorgesehen ist. Falls der Betrag des ersten Differenzwertes den vorbestimmten Betrag nicht überschreitet, sind das Bilden eines zweiten Differenzwertes zwischen der ersten Differenz und einem Integrationswert, der aus der Summe der ersten Differenzwerte besteht, seit die Überprüfung in dem Schritt des Überprüfens durchgehend ergab, daß der Betrag des ersten Differenzwertes den vorbestimmten Betrag nicht überschreitet, das Vergleichen des zweiten Differenzwertes mit einem vorbestimmten Schwellenwert und das Inkrementieren oder Dekrementieren des digitalen Ausgangswertes abhängig von dem Ergebnis des Vergleichs vorgesehen.

DE 100 52 152 C 1

Die vorliegende Erfindung bezieht sich auf die Umwandlung eines analogen Eingangssignals in digitale Ausgangswerte und insbesondere auf die Analog-/Digital-Umwandlung von Positionssensorsignalen beim Positionieren von Werkzeugmaschinen.

Zur Messung eines Weges oder eines Drehwinkels α bei mechanischen Anordnungen oder Maschinen werden Lineardifferentialtransformatoren (LVDT = Linear Variable Differential Transformer) oder Drehdifferentialtransformatoren (RVDT = Rotational Variable Differential Transformer), die Encoder oder Resolver genannt werden, oder eine spezielle Anordnung magnetoresistiver Widerstände oder Hallsensoren verwendet. Diese Sensoren liefern zwei Ausgangssignale, die in Abhängigkeit der mechanischen Position variieren, so daß aus den Signalen die Position bestimmbar ist.

Fig. 1a und Fig. 1c zeigen beispielsweise zwei verschiedene Anordnungen zur Messung der linearen Position, während Fig. 1b eine Anordnung zur Messung eines Drehwinkels zeigt.

Die Fig. 1a zeigt eine Erregerspule 10 und zwei Meßspulen 20 und 30 und einen Meßgegenstand 40 mit geeigneten Materialeigenschaften, wie zum Beispiel einer geeigneten magnetischen Suszeptibilität, der zwischen der Erregerspule 10 auf der einen Seite und den Meßspulen 20 und 30 auf der anderen Seite angeordnet ist, und entlang einer Achse 50 linear bewegbar ist. Die Anordnung ist derart gestaltet, daß eine lineare Verschiebung des Meßgegenstands 40 oder der Erregerspule 10 eine Änderung der Kopplungsverhältnisse zwischen der Erregerspule 10 und der Meßspule 20 sowie zwischen der Erregerspule 10 und der Meßspule 30 bewirkt. Eine Erregungsspannung an der Erregerspule 10 bewirkt deshalb Signale an den Meßspulen 20 und 30, die in Quadratur zueinander stehen. Die Position des Meßgegenstands 40 ist als ein Winkel α definierbar, der das Verhältnis zwischen den beiden Meßsignalen bestimmt, wie es im Folgenden erläutert werden wird.

Die in Fig. 1b gezeigte Anordnung entspricht der in Fig. 1a gezeigten Anordnung bis auf den Meßgegenstand 40. In diesem Fall ist der Meßgegenstand durch einen drehbaren Körper 50 gebildet. Durch Drehen des Körpers 50 ändert sich wie bei der Anordnung in Fig. 1a das Verhältnis zwischen den in den Meßspulen 20 und 30 erfaßten Meßsignalen in Abhängigkeit von dem Drehwinkel α , wodurch der Drehwinkel α bestimmt werden kann.

Die Fig. 1c zeigt eine zu Fig. 1a alternative Anordnung mit magnetoresistiven Sensoren 60 und 70, wobei als linear verschiebbarer Meßgegenstand ein magnetischer Maßstab 80 dient. Der magnetische Maßstab 80 weist zwei geeignet ausgerichtete magnetische Bereiche auf, die jeweils entgegengesetzte Magnetfelder am Ort der magnetoresistiven Sensoren 60 und 70 erzeugen, wobei diese Bereiche in Fig. 1c durch vier in abwechselnder Richtung ausgerichtete Stabmagnete 80a, 80b, 80c und 80d dargestellt sind. Durch Verschieben des Maßstabs 80 entlang einer Achse 90 ändert sich das magnetische Feld am Ort der magnetoresistiven Sensoren 60 und 70 und somit der elektrische Widerstand derart, daß an den Sensoren 60 und 70 Signale gemessen werden, die in Quadratur zueinander stehen.

Folglich zeichnet sich die Variation dieser Signale dadurch aus, daß dieselben im wesentlichen in Quadratur zueinander stehen. Fig. 2 zeigt den Zusammenhang zwischen dem Wert α einerseits und den Meßsignalen an der Meßspule 20 bzw. dem magnetoresistiven Sensor 60 (U_{\sin}) und an der Meßspule 30 bzw. dem magnetoresistiven Sensor 70 (U_{\cos}) andererseits in Abhängigkeit von einer Erregungsspannung U_0 . Aus Figur 2 ergeben sich folgende Zusammenhänge zwischen der Erregungsspannung U_0 , dem Meßwert α , wie z. B. dem Drehwinkel, und den Meßsignalen U_{\sin} und U_{\cos} :

$$U_{\sin} = U_0 \sin(\alpha)$$

$$U_{\cos} = U_0 \cos(\alpha)$$

Hierbei kann U_0 eine beliebige Gleich- oder Wechselspannung sein und die allgemeine Form von

$$U_0 = \sum_{i=0}^{\infty} U_i \cos(\omega t \cdot i + \varphi_i)$$

aufweisen, wobei U_i Amplituden, φ_i die zugehörigen Phasen zum Zeitpunkt $t = 0$ und ω die Trägerfrequenz sind.

Da fast alle Steuerungen und Regelungen mechanischer Systeme in zunehmendem Maße digital realisiert sind, müssen die analogen Ausgangssignale der Sensoren vor ihrer Verarbeitung zur Ansteuerung der Maschinen digitalisiert werden. Zur Ermittlung einer digitalen Äquivalenz der Position $\Theta = \alpha_{\text{dig}}$ muß das Verhältnis von U_{\sin} zu U_{\cos} ausgewertet werden, wobei im allgemeinen folgender Zusammenhang zwischen dem Drehwinkel α und den Meßsignalen U_{\sin} und U_{\cos} gilt:

$$\alpha = \arctan \frac{U_{\sin}}{U_{\cos}}$$

Eine Auswertung der Meßsignale muß folglich unabhängig von der Variation von U_0 sein. Nach dem Stand der Technik sind mehrere Verfahren zur Digitalisierung des Meßwertes α bekannt. Bei den Systemen mit getrennter Digitalisierung werden beide Meßspannungen U_{\cos} und U_{\sin} getrennt digitalisiert, und der digitale Ausgangswert α_{dig} anschließend digital berechnet.

Fig. 3 zeigt das Blockdiagramm einer Vorrichtung mit getrennter Digitalisierung. An zwei Kanaleingängen 100 und 110 werden jeweils das Eingangssignal U_{\sin} und U_{\cos} eingespeist. Beide Eingänge 100 und 110 sind mit in Reihe geschalteten Tiefpaßfiltern 120 bzw. 130 und Analog/Digital-Wandlern 140 bzw. 150, die in Reihe geschaltet sind, verbunden. Die Tiefpaßfilter 120 und 130 sind den Analog-Digital-Wandlern 140 und 150 vorgeschaltet, um das Nyquist-Kriterium bei der Abtastung innerhalb der Wandler 140 und 150 einzuhalten. Die Demodulation der so erzeugten digitalisierten

sierten Signale wird mit einer Multiplikation 160 bzw. 170 mit einem bei einem Eingang 180 eingespeisten Trägerfrequenzsignal vorgenommen. Die Berechnung von Θ durch Berechnung des Arcustangens wird bei einem Rechnerblock 190 digital vorgenommen. Die Tiefpaßfilter 120 und 130 und die Analog-Digital-Wandler 140 und 150 müssen folglich für eine Verarbeitung von Signalen mit einer Trägerfrequenz ausgelegt sein, was einen erhöhten Aufwand bedeutet. Ein digitales Filter 200 ist hinter den Block 190 geschaltet, um eine Störunterdrückung zu bewirken.

Alle Elemente der in Fig. 3 gezeigten Schaltung sind in einen Baustein monolithisch oder hybrid integriert. Ein Nachteil dieses Verfahrens besteht darin, daß die Auflösung und die Umsetzdauer nicht dynamisch eingestellt werden können. In dem Fall, daß dem Eingangssignal ein Rauschsignal überlagert ist, daß größer als das niedrigstwertige Bit ist, so kann in dem digitalen Filter durch Mittelung über 2^{2N_i} -Werte eine Erhöhung der Auflösung um N_i -Bits erreicht werden. Dies wird als Dithering bezeichnet und ergibt eine Erhöhung der Auflösung proportional zur Wurzel der gemittelten Zeitdauer. Die theoretischphysikalische Grenze für die Meßgenauigkeit ist durch ein konstantes Produkt aus Auflösung und Mittelungszeit gekennzeichnet und liegt vor allem bei höheren Auflösungen, weit von den Ergebnissen dieses Verfahrens weg.

Weitere im Stand der Technik bekannte Verfahren werten die Meßsignale nach einem Nachlaufverfahren mit Zähler und verschiedenen Arten der Rückkopplung aus. Umsetzer dieses Art werden beispielsweise bei den Baugruppen der Firma Data Device Cooperation (DDC) mit der Geschäftsadresse 105 Bill Ba Place, Bohemia, New York 11716-2482, der Firma Analog Devices INC. mit der Geschäftsadresse one signality Way, poBox. 9196, Norworth MA 02062-9196, der Firma NAI und der Firma iC-House eingesetzt.

Das Nachlaufverfahren beruht auf der Nachführung des digitalen Wertes Θ mit Hilfe einer Regelschleife. Das benötigte, rückgekoppelte Fehlersignal wird durch nichtlineare analoge Schaltungen berechnet.

Fig. 4 zeigt einen herkömmlichen Umsetzer nach dem Nachlaufverfahren, der von der Firma iC-House produziert wird, mit einem Sinus/Digital-Wandler.

Der Umsetzer von Fig. 4 umfaßt zwei Eingänge 200 und 210, an denen die demodulierten Signale $A \times \sin(\alpha)$ und $A \times \cos(\alpha)$ anliegen. Die beiden Eingänge 200 und 210 sind direkt und über einen Invertierer 220 bzw. 230 mit jeweils zwei Eingängen einer Schalteinrichtung 240 verbunden. Die Schalteinrichtung 240 empfängt an einem Eingang 245 Segmentsteuerungsinformationen, die im folgendem erklärt werden, und leitet entsprechend dieser Informationen entweder das nichtinvertierte oder invertierte Eingangssignal des Eingangs 200 an den nicht invertierenden Eingang eines Komparators 250 bzw. entweder das nichtinvertierte oder invertierte Eingangssignal des Eingangs 210 an einen Multiplizierer 260 weiter. Der Ausgang des Multiplizierers 260 ist mit dem invertierenden Eingang des Komparators 250 verbunden. Der Ausgang des Komparators 250 ist mit einem Auf/Ab-Zähler 270 verbunden, der über drei Eingänge 280, 290 und 295 Informationen bezüglich der zu erzielenden Auflösung bzw. Signale zur Steuerung von Hystereseeffekten und ein Taktsignal erhält. Der Ausgang des Auf/Ab-Zählers 270 ist mit dem Umsetzerausgang 300 und in einer Rückkopplungsschleife mit dem Eingang eines Digital/Analog-Umsetzers 310 verbunden. Der Ausgang des Digital/Analog-Umsetzers 310 ist mit einem Eingang einer Berechnungseinrichtung 320 zur Berechnung des Tangens oder des Cotangens verbunden, wobei die Wahl der der Berechnung zu Grunde liegenden Funktion über einen Eingang 330 durch die Segmentsteuerungsinformationen gesteuert wird. Der Ausgang der Berechnungseinrichtung 320 ist mit einem weiteren Eingang des Multiplizierers 260 verbunden.

Im folgendem wird nun die Funktionsweise des Umsetzers von Figur vier beschrieben. Das digitale Umsetzergebnis bzw. der aktuelle Ausgangswert Θ ist in dem Auf/Ab-Zähler 270 gespeichert und wird über den Digital/Analog-Umsetzer 310 in eine analoge Spannung umgewandelt. Diese wird mit einem der zwei Ausgangssignale der Schalteinrichtung 240 multipliziert, wobei das Produkt von dem Komparator 250 mit dem analogen Ausgangssignal verglichen wird. Der Ausgang des Komparators 250 führt auf den Richtungseingang des Zählers 270. Die Zählrichtung bei jedem Taktsignal 295 wird von dem Zähler solange beibehalten, bis die dem Ausgangswert proportionale Ausgangsspannung des Digital/Analog-Umsetzers 310 dem Wert α der Eingangsspannungen entspricht.

Im Gegensatz zu gewöhnlichen Analog/Digital-Wandlern ist bei dem Sinus/Digital-Wandler der Ausgangswert nicht proportional zur Eingangsspannung, sondern zu dessen Phase α . Die Phase steht an den Eingängen 200 und 210 in der Form von $A \times \sin(\alpha)$ und $A \times \cos(\alpha)$ zur Verfügung. Von dem Ausgangswert Θ wird in der Rückführung entlang der Rückkopplungsschleife die Tangensfunktion gebildet, und das Ergebnis mit $\cos(\alpha)$ multipliziert. Das Endergebnis wird mit $\sin(\alpha)$ verglichen. Als Vorschrift für die Regelung erhält man folglich folgenden Zusammenhang:

$$A \sin(\alpha) = A \cos(\alpha) \tan(\Theta)$$

Da die Tangensfunktion Polstellen aufweist und nicht über eine volle Periode gebildet werden kann, wird eine Periode in acht Segmente unterteilt. Für bestimmte Segmente werden die Eingangssignale an den Eingängen 200 und 210 durch die Segmentsteuerung vertauscht, und in der Rückkopplung anstatt der Tangensfunktion die Cotangensfunktion gebildet. Der Sinus-Digital-Wandler läuft automatisch auf dem kürzestem Weg in das Segment und hat somit bei statischem Eingangssignal nach maximal $n/2$ Taktzyklen seinen Arbeitspunkt erreicht, wobei n der Auflösung entspricht. Die Demodulation von eventuell getragerten Signalen kann bei dem Umsetzer durch trägersynchrone Umsteuerung der Segmentsteuerung realisiert werden.

Ein Nachteil des im vorhergehendem beschriebenen Umsetzers besteht darin, daß die Auflösung intern durch die Anzahl der Zählsschritte festgelegt ist und nicht dynamisch verändert werden kann. Zudem kommt der in Fig. 4 gezeigte Umsetzer nie zur Ruhe, da der Zähler auch bei einem konstanten Eingangssignal ständig das niedrigstwertige Bit des Ausgangswerts auf oder ab zählt, was durch eine Hysteresesteuerung verhindert werden muß. Hierzu wird beiderseitig zum Zählerwert ein Bereich aufgespannt und innerhalb von zwei Taktperioden geprüft, ob das Eingangssignal noch innerhalb dieses Bereiches liegt. Die Ausgangsfrequenz beträgt folglich lediglich die Hälfte der Taktfrequenz, und es ist eine zusätzliche Schaltung notwendig, um das Schwanken des Ausgangswertes bei ansonsten konstantem Eingangssignal zu verhindern.

In Fig. 5 ist das Blockschaltbild eines weiteren herkömmlichen Umsetzers nach dem Nachführverfahren gezeigt. Die-

ser ratiometrische Umsetzer wird beispielsweise in den Bausteinen der RDC-19200-Serie der Firma DDC oder AD2S44 der Firma ANALOG DEVICES verwendet. Wie Fig. 5 zeigt, umfaßt dieser Umsetzer zwei Eingänge 400 und 410, an denen die Eingangssignale U_{sin} und U_{cos} anliegen. Die beiden Eingänge 400 und 410 sind mit einer Vorrichtung 420 zur \sin/\cos -Multiplikation und Addition verbunden. Die Vorrichtung 420 gibt einen Wechselsignalfehler ϵ an einen Ausgang 430 und an einen Eingang eines phasensensitiven Demodulators (PSD) 440 aus. Der PSD empfängt ferner über einen Eingang 450 ein Signal mit der Trägerfrequenz. Der PSD 440 gibt an einen Ausgang 460 und an den Eingang eines Integrators 470 einen Gleichsignalfehler E aus. Der Integrator gibt an einen Ausgang 480 und an einen Eingang eines VCOs 490 ein integriertes Fehlersignal aus. Der VCO 490 gibt über zwei Leitungen 500 und 510 Taktsignale clk und Richtungsinformationen dir an einen Zähler 520 aus. Der Zähler 520 ist mit dem digitalen Ausgang 530 des Umsetzers und mit einem weiteren Eingang der Vorrichtung 420 verbunden.

Im folgendem wird nun die Funktionsweise des Umsetzers von Fig. 5 erklärt. Zunächst werden die Eingangssignale an den Eingängen 400 und 410 durch die Vorrichtung 420 mit $\sin(\Theta)$ und $\cos(\Theta)$ multipliziert, und die Ergebnisse danach voneinander abgezogen. Nach der Demodulation durch den PSD 440 ergibt sich ein Fehlersignal E , das für kleine Abweichungen von $(\alpha - \Theta)$ proportional zu $(\alpha - \Theta)$ ist:

$$E = \sin(\alpha)\cos(\Theta) - \cos(\alpha)\sin(\Theta) = \sin(\alpha - \Theta) \approx \alpha - \Theta.$$

Dieses Signal E wird mindestens einmal integriert, wodurch ein Signal V (Velocity; Velocity = Geschwindigkeit) erhalten wird, das proportional zur Geschwindigkeit sein soll. Der VCO steuert je nach Größe und Vorzeichen von V den Zähler in entsprechender Geschwindigkeit vorwärts oder rückwärts. Durch den Einsatz des Integrators ist es das Umsetzverfahren störunterdrückend. Typischerweise sind die Blöcke alle in einen Hybridbaustein oder eine IC (IC = Integrated Circuit = integrierte Schaltung) integriert, wobei allerdings Verbindungen 540 und 550 zu den Ausgängen 560 und 580 außerhalb des Bausteins angeordnet sein müssen, damit auf die Regeleigenschaften Einfluß genommen werden kann.

Ein Nachteil der in Fig. 5 gezeigten Schaltung besteht darin, daß ihr Verhalten wesentlich vom äußeren Aufbau und der Beschaltung abhängt. Zudem ist die Auflösung intern durch die Breite des Zählerwortes festgelegt und kann somit während des Betriebs nicht dynamisch verändert werden. Prinzipiell wäre zwar eine Anpassung der Auflösung durch ein variables nachfolgendes Filter möglich. Aus Gründen der Stabilität ist aber die Integrationsdauer des analogen Integrators in der praktischen Anwendung größer als die Mittelungsdauer der digitalen Filter. Eine Verkürzung der digitalen Integrationsdauer führt bei reduzierter Auflösung folglich nicht zu einer höheren Dynamik.

Die WO 93/22622 beschreibt einen interpolierenden Umsetzer, der in dem Baustein AD598 der Firma ANALOG DEVICES verwendet wird. Dieser Umsetzer wandelt LVDT-Signale in PWM-codierte Digitalsignale um. Anstatt der $\text{Arctan}(x)$ -Bildung wird nur eine Quotientenbildung durchgeführt. Dies geschieht über die lineare Multiplikation der Eingangssignale mit dem PWM-Signal. Im Prinzip handelt es sich bei diesem Umsetzer um einen Single-Bit-Sigma-Delta-Umsetzer mit spezieller Single-Bit-Rückkopplung auf die zwei Eingangssignale. Dieser Umsetzer kann aber Resolversignale nur annähernd auswerten, da die Sinusförmigkeit der Modulation nicht berücksichtigt wird.

Bei denen im vorhergehend beschriebenen, in dem Stand der Technik bekannten Umsetzerverfahren ergeben sich die folgenden Probleme:

Die Antriebe moderner Werkzeugmaschinen werden immer schneller und sollen dabei immer genauer positionieren. Um die dabei auftretenden immer größeren Drehzahlen (bei Resolvem) oder höheren Lineargeschwindigkeiten bei fester Auflösung verarbeiten zu können, muß die Trägerfrequenz und die Eingangsbandbreite der Auswerteschaltungen immer höher werden. Dies erfordert eine immer schneller werdende Regelung bei dem Nachlaufverfahren bzw. immer höhere Abtastraten der Analog/Digital-Wandler bei der getrennten Digitalisierung, was wiederum hohe Anforderungen an die nachfolgende Steuerelektronik stellt, die die vielen, schnell generierten Positionsinformationen nur unter hohem Aufwand weiter verarbeiten kann.

Bei hoher Bandbreite der Schleifensteuerung eines Nachlaufumsetzers, kann das Regelsystem auch leicht instabil werden. Speziell mehrfachintegrierende Systeme, die sich durch kleine statische Regelabweichungen auszeichnen, sind in dieser Hinsicht anfällig. Dies wirkt sich auch auf den Benutzer der Schaltung aus, da es schwierig wird, den Umsetzerbaustein in ein funktionierendes System zu integrieren. Zudem wird die Anfälligkeit gegenüber elektromagnetischen Störungen von anderen Baugruppen größer.

Obwohl es folglich wünschenswert wäre, das gesamte Umsetzersystem monolithisch zu integrieren, ist bei den herkömmlichen Verfahren der Aufwand hierzu entweder sehr hoch oder gar unmöglich.

Bei den ratiometrischen Verfahren steht der Integration beispielsweise der Offset des Integrators, des PSD und des VCOs, die zu Verzerrungen oder zu einem instabilen Verhalten führen können, entgegen. Zudem weisen die Zeitkonstanten des VCOs eine hohe Streuung auf, und das PSD bewirkt Störeinkopplungen und Verzerrungen. Ferner nachteilhaft ist, daß die Auflösung von den verwendeten Multiplizierern bzw. den multiplizierenden DACs abhängt und kaum dynamisch zu Gunsten der Geschwindigkeit reduzierbar ist. Außerdem zählt der Zähler immer plus oder minus einen Schritt der Maximalauflösung und legt somit die maximale Geschwindigkeit da/dt fest, wodurch folglich meistens die maximale Umsetzgeschwindigkeit des multiplizierenden DACs nicht voll ausgenutzt werden kann.

Bei dem vorhergehenden erwähnten Verfahren der getrennten Digitalisierung ergibt sich bei der Integration das Problem, daß der Chipflächenbedarf für "lange" Digitalfilter und die genaue $\text{Arctan}(x)$ -Berechnung groß ist. Zudem ist es nachteilhaft, daß die Auflösung von der Auflösung der ADCs abhängt und meist fest ist.

Die EP 0158841 A1 beschreibt einen Analog-Digital-Wandler, bei dem ein erster Diskriminator die Eingangsspannung mit der Ausgangsspannung eines einem digitalen Integrator nachgeschalteten Digital-Analog-Wandlers vergleicht und ein Vorwärts- oder Rückwärtszählen des digitalen Integrators um ein niedrigstwertiges Bit bewirkt, falls die Eingangsspannung um mehr als etwa die Hälfte der einem niedrigstwertigen Bit entsprechenden Spannung tiefer oder höher liegt. Zur Verbesserung der Nachführung sind zusätzlich Fensterdiskriminatoren vorgesehen, die eine schnellere Ausgangssignalarückführung bei raschen Schwankungen der Eingangsspannung ermöglichen.

Die DE 195 40 106 C2 beschreibt eine Steuereinheit für einen Elektromotor mit einem Positionssensor mit analogem

Ausgangssignal. Dem Positionssensor ist ein Analog-Digital-Wandler nachgeschaltet, dem wiederum eine Rechenschaltung zur Ermittlung von Positionswerten nachgeschaltet ist. Es ist eine Korrekturschaltung vorgesehen, um die Zeitverzögerung bei der Berechnung des Positionswertes zu korrigieren.

Die EP 0169535 A2 beschreibt einen Analog/Digital-Wandler, bei dem eine durch einen eingebauten D/A-Wandler erzeugte Spannung nacheinander von einem analogen Eingangssignal abgezogen wird, und der digitale Code des eingebauten D/A-Wandlers als das digitale Ausgangssignal hergeleitet wird, wenn zwischen der Spannung, die durch den D/A-Wandler erzeugt wird, und dem analogen Eingangssignal durch einen Komparator eine Übereinstimmung festgestellt wird. Das Ausgangssignal des Komparators wird rückgekoppelt, um dem subtrahierten Ergebnis überlagert zu werden, sowie um verwendet zu werden, um den D/A-Wandler zu steuern.

Die UK 2242583 A beschreibt einen Zweifachreferenzwinkelgeber/Digital-Wandler, bei dem in einem DAW ein Cosinus- und Sinus-Gebersignal mit einem internen digitalen Sinus- bzw. Cosinus-Signal multipliziert wird, und die Ausgangssignale einem Fehlerverstärker zugeführt werden, der ein Fehlersignal erzeugt, welches durch einen Wandler digitalisiert und durch ein digitalisiertes Referenzsignal von dem Geber demoduliert wird. Das Ausgangssignal wird in dem Demodulator demoduliert und über ein Digitalfilter einem Binärakkumulator zugeführt. Das Akkumulatorausgangssignal wird zunächst durch eine Cosinus-Nachschlagtabelle, um über einen Modulator das Cosinuseingangssignal für den DAW zu erzeugen, und zweitens durch eine Sinus-Nachschlagtabelle verwendet, um über einen weiteren Modulator das Sinuseingangssignal für den DAW zu erzeugen. Der Demodulator und die Modulatoren sind mit einem internen digitalen Referenzsynthesizer verbunden.

Die Aufgabe der vorliegenden Erfindung besteht darin, ein Verfahren und eine Vorrichtung zum Umwandeln eines analogen Eingangssignals in einer Sequenz von digitalen Ausgangswerten zu schaffen, so daß die dynamischen Eigenschaften der Umwandlung verbessert sind und dennoch für statische Eingangssignale hohe Auflösungen erreicht werden können.

Diese Aufgabe wird durch ein Verfahren gemäß Anspruch 1 und eine Vorrichtung gemäß Anspruch 9 gelöst.

Das erfindungsgemäße Verfahren zum Umwandeln eines analogen Eingangssignals in eine Sequenz von digitalen Ausgangswerten umfaßt das Bilden eines ersten Differenzwertes zwischen dem aktuellen Ausgangswert und dem analogen Eingangssignal. Das Verfahren umfaßt ferner das Überprüfen, ob der Betrag des ersten Differenzwertes einen vorbestimmten Betrag überschreitet, wobei, falls der Betrag des ersten Differenzwertes den vorbestimmten Betrag überschreitet, das Nachregeln des digitalen Ausgangswertes unter Verwendung eines bestimmten Regelwertes vorgesehen ist. Falls der Betrag des ersten Differenzwertes den vorbestimmten Betrag nicht überschreitet, sind das Bilden eines zweiten Differenzwertes zwischen der ersten Differenz und einem Integrationswert, der aus der Summe der negierten ersten Differenzwerte besteht, seit die Überprüfung in dem Schritt des Überprüfens durchgehend ergab, daß der Betrag des ersten Differenzwertes den vorbestimmten Betrag nicht überschreitet, das Vergleichen des zweiten Differenzwertes mit einem vorbestimmten Schwellenwert und das Inkrementieren oder Dekrementieren des digitalen Ausgangswertes abhängig von dem Ergebnis des Vergleichs vorgesehen.

Die erfindungsgemäße Vorrichtung zum Umwandeln eines analogen Eingangssignals in eine Sequenz von digitalen Ausgangswerten umfaßt eine Einrichtung zum Bilden eines ersten Differenzwertes zwischen dem aktuellen digitalen Ausgangswert und dem analogen Eingangssignal sowie eine Einrichtung zum Überprüfen, ob der Betrag des ersten Differenzwertes einen vorbestimmten Betrag überschreitet. Es ist eine Einrichtung zum Nachregeln des digitalen Ausgangswertes unter Verwendung eines vorbestimmten Regelwertes, falls der Betrag des ersten Differenzwertes den vorbestimmten Betrag überschreitet, vorgesehen. Die Vorrichtung umfaßt ferner eine Einrichtung zum Bilden eines zweiten Differenzwertes zwischen dem ersten Differenzwert und einem Integrationswert, der aus der Summe der negierten ersten Differenzwerte besteht, seit dem die Einrichtung zum Überprüfen durchgehend bestimmt hat, daß der Betrag des ersten Differenzwertes den vorbestimmten Betrag nicht überschreitet, zum Vergleichen des zweiten Differenzwertes mit einem vorbestimmten Schwellenwert und zum Inkrementieren oder zum Dekrementieren des digitalen Ausgangswertes abhängig von dem Ergebnis des Vergleichs, falls der Betrag der ersten Differenz den vorbestimmten Betrag nicht überschreitet.

Die hier vorliegende Erfindung trägt der Erkenntnis Rechnung, daß mechanische Systeme mit einer mechanischen Trägheit behaftet sind, so daß bei schneller Bewegung einer Maschine eine Auswertung der aktuellen Position der Maschine mit voller Auflösung nicht notwendig ist. Erst bei relativ langsamer Bewegung, wenn die Maschine schon beinahe ihren Zielort erreicht hat und steht, wird die genauere Position interessant. Hierbei ist der Ausdruck "langsam abbrem sen" relativ zu der elektronischen Verarbeitungsgeschwindigkeit zu verstehen, insofern, als daß für eine Maschine zwar nur wenige Millisekunden notwendig sind, um abzubrem sen, und ein menschlicher Beobachter diesen Vorgang als ein "Stehenbleiben" beschreibt, für integrierte elektronische Systeme aber wenige Millisekunden eine "lange Zeit" bedeuten.

Bei einem Ausführungsbeispiel gemäß der vorliegenden Erfindung wird das Nachregeln des Ausgangswertes, d. h. die Grobquantisierung, durchgeführt, indem eine Mehrzahl von Zählerwerten zu bzw. von dem aktuellen Ausgangswert abhängig von den Vorzeichen des ersten Differenzwertes addiert oder subtrahiert werden, bis der Ausgangswert das Eingangssignal überquert bzw. überschreitet. Nachdem der Ausgangswert nachgeregelt worden ist, bzw. wenn die Abweichung des aktuellen digitalen Ausgangswertes von dem Wert des Eingangssignals klein ist, wird eine Feinquantisierung durchgeführt, bei der überprüft wird, ob der zweite Differenzwert den Schwellenwert überquert hat, und, falls dies der Fall ist, die Richtung bestimmt wird, in der der zweite Differenzwert den Schwellenwert überquert hat, wobei hierauf der aktuelle digitale Ausgangswert abhängig von der bestimmten Richtung inkrementiert oder dekrementiert wird. In dem Fall eines konstanten Eingangssignals oszilliert die sich ergebende Sequenz von Ausgangswerten um die beiden digitalen, dem konstanten Eingangssignal nächstliegenden Werte herum. Aus der Häufigkeit des Auftretens der Werte kann durch anschließende Mittelwertbildung bezüglich einer variierbaren Anzahl von aufeinanderfolgenden Ausgangswerten der Sequenz von Ausgangswerten eine höhere Auflösung erzielt werden, beispielsweise wenn sich die Maschine ihrer Zielposition annähert, und folglich die Ausgaberate niedriger sein kann. Über die Anzahl der zur Mittelwertbildung verwendeten digitalen Ausgangswerte kann die Mittelungsdauer und somit die Totzeit des Regelungssystems auf eine aktuelle Verfahrensgeschwindigkeit bzw. auf eine geeignete Ausgaberate für die Sequenz von Ausgabewerten eingestellt werden.

Gemäß einem speziellen Ausführungsbeispiel wird die vorliegende Erfindung auf zueinander in Quadratur stehende Signale angewendet, wie sie bei der Verwendung von LVDTs und RVDTs oder Anordnungen mit magnetoresistiven Widerständen oder Hallsensoren entstehen. Hierbei wird ein 4-Quadranten-Addierer, der aus zwei multiplizierenden DACs und einem Addierer besteht, verwendet, um aus den zueinander in Quadratur stehenden Signalen den ersten Differenzwert zu erhalten. Die vorliegende Erfindung ist folglich geeignet, um ein Paar von Signalen gleicher Frequenz zu verarbeiten und aus der momentanen Amplitude einen digital dargestellten Wert zu ermitteln, der einen im Augenblick von einem Sensor zurückgelegten Weg repräsentiert. Bei der Digitalisierung kann die Phase des in den Eingangssignalen enthaltenen Trägers berücksichtigt werden, wodurch eine Umsetzung und eine Demodulation gleichzeitig durchgeführt werden.

Ein Vorteil der vorliegenden Erfindung besteht darin, daß eine Integration eines Umsetzers gemäß der vorliegenden Erfindung leichter als bei den im Stand der Technik bekannten Umsetzern realisierbar ist. Insbesondere ist eine Integration in eine Standard-CMOS-Technologie möglich. Der Grund hierfür besteht darin, daß durch die anschließende lineare Interpolation zwischen den Ausgangswerten eine höhere Auflösung als die Auflösung der multiplizierenden DACs des 4-Quadranten-Multiplizierers erzielt werden kann, wodurch sich der Flächenbedarf für die verwendeten Multiplizierer verringert, und dieselben schneller werden. Zusätzlich übernehmen drei Komparatoren die Aufgabe der bei herkömmlichen Umsetzern verwendeten, schwer reproduzierbar zu integrierenden VCOs, und durch das Fehlen eines PSD fallen Störungen, Signalverzerrungen, ein erhöhter Chipflächenverbrauch, Offsetprobleme usw., wie sie im Stand der Technik auftreten, weg, so daß insgesamt weniger kritische Bauteile verwendet werden müssen.

Ein weiterer Vorteil der vorliegenden Erfindung besteht darin, daß bessere dynamische Eigenschaften bei hoher statische Auflösung erzielt werden. Folglich können unter Verwendung des Verfahrens bzw. der Vorrichtung der vorliegenden Erfindung auch sehr schnelle Maschinensteuerungen digital realisiert werden. Insbesondere hängt die Auflösung der Sequenz von digitalen Ausgangswerten, wie in der Praxis benötigt, von der Dynamik des Eingangssignals ab, wobei sich schnell ändernde Eingangssignale mit hoher Rate aber mit geringer Auflösung abgetastet werden, wie z. B. mit einer Schrittweite, die ein Mehrfaches der Gesamtauflösung beträgt, und sich langsam ändernde Eingangssignale mit hoher Auflösung abgetastet werden.

Ein weiterer Vorteil der vorliegenden Erfindung besteht in der Geschwindigkeit und der Stabilität der Nachführung des digitalen Ausgangswerts, da die Sequenz von Ausgangswerten schneller auf große Eingangssignaländerung reagieren kann und trotzdem kaum ein Überspringen aufweist. Die Störunterdrückung und die Elimination der Regelabweichung unter Verwendung des Integrationswertes bleiben erhalten. Zudem summiert der Integrationswert alle bisherigen Umsetzfehler auf und ermöglicht folglich die anschließende Interpolation von Werten zwischen den mit den MultipliziererdACs einstellbaren Werten. Die Auflösung eines erfindungsgemäßen Umsetzers läßt sich mit einem Interpolationsfilter der Länge 2^{N_i} um N_i Bits erhöhen.

Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend bezugnehmend auf die beiliegenden Zeichnungen näher erläutert. Es zeigt

Fig. 1a, 1b und 1c schematische Darstellungen von Sensoranordnungen zur Positionsmessung unter Erzeugung von zueinander in Quadratur stehenden Ausgangssignalen gemäß dem Stand der Technik;

Fig. 2 ein Vektordiagramm zur Veranschaulichung des Zusammenhangs zwischen zueinander in Quadratur stehenden Ausgangssignalen, einem Erregersignal und einem Drehwinkel;

Fig. 3 ein Blockschaltbild eines Umsetzers mit getrennter Digitalisierung der beiden Eingangssignale gemäß dem Stand der Technik;

Fig. 4 ein Blockschaltbild eines Umsetzers mit einem Sinus/Digital-Wandler gemäß dem Stand der Technik;

Fig. 5 ein Blockschaltbild eines ratiometrischen Umsetzers gemäß dem Stand der Technik;

Fig. 6 ein Blockschaltbild eines Umsetzers gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

Fig. 7 ein Blockschaltbild zur Veranschaulichung des die Grobquantisierung durchführenden Teils des Umsetzers von Fig. 6;

Fig. 8 ein Blockschaltbild des die Feinquantisierung durchführenden Teils des Umsetzers von Fig. 6;

Fig. 9 ein Blockschaltbild des die Mittelwertbildung der Sequenz von Ausgangswerten durchführenden Teils des Umsetzers von Fig. 6;

Fig. 10 ein Blockschaltbild des 4-Quadranten-Addierers des in Fig. 6 gezeigten Umsetzers;

Fig. 11a einen Graphen, in dem gegen aufeinanderfolgende Zykelschritte Signalwerte aufgetragen sind, die bei einem ersten Beispielablauf der Schaltung von Fig. 6 auftreten;

Fig. 11b einen Graphen, in dem gegen aufeinanderfolgende Zykelschritte weitere Signalwerte aufgetragen sind, die bei dem ersten Beispielablauf von Fig. 11a auftreten;

Fig. 11c einen Graphen, in dem gegen aufeinanderfolgende Zykelschritte Signalwerte aufgetragen sind, die bei einem zweiten Beispielablauf der Schaltung von Fig. 6 auftreten;

Fig. 11d einen Graphen, in dem gegen aufeinanderfolgende Zykelschritte weitere Signalwerte aufgetragen sind, die bei dem zweiten Beispielablauf von Fig. 11c auftreten; und

Fig. 12 ein Blockschaltbild eines Umsetzers gemäß einem speziellen Ausführungsbeispiels der vorliegenden Erfindung.

Bezugnehmend auf Fig. 6 wird zunächst ein Umsetzer gemäß einem Ausführungsbeispiel der vorliegenden Erfindung beschrieben. Insbesondere zeigt Fig. 6 das Blockschaltbild des Umsetzers, während Fig. 7-10 einzelne Teile der Umsetzers zeigen, anhand derer die Funktionsweise des Umsetzers von Fig. 6 erklärt wird.

Wie es in Fig. 6 gezeigt ist, umfaßt der Umsetzer einen 4-Quadranten-Addierer 610, einen invertierenden Integrator 620, einen Addierer 630, drei Komparatoren 640, 650, 660 (H, L, I), eine Steuerlogik 670, einen Auf/Ab-Zähler 680 und ein anpaßbares Digitalfilter 690. Ein Eingang des Addierers 610 ist mit dem Eingang 700 des Umsetzers verbunden, um das Eingangssignal α zu empfangen, wobei der Ausgang des Addierers 610 mit den Eingängen der Komparatoren 640 und 650 und des Integrators 620 sowie einem Eingang des Addierers 630 verbunden ist. Der Addierer 630 empfängt neben dem Ausgangssignal ϵ des Addierers 610 das integrierte Ausgangssignal Σ des Integrators 620. Der Ausgang δ des

Addierers 630 ist mit dem Eingang des Komparators 660 verbunden. Die Ausgänge der Komparatoren 640–660 sind mit jeweils einem Eingang der Steuerlogik 670 verbunden. Die Steuerlogik 670 ist an drei Ausgängen jeweils mit einem Eingang des Integrators 620, des Auf/Ab-Zählers 680 und des anpaßbaren Digitalfilters 690 verbunden. Der Ausgang des Auf/Ab-Zählers 680 ist mit einem weiteren Eingang des Addierers 610 sowie mit einem Eingang des Digitalfilters 690 verbunden und gibt das Umsetzergebnis bzw. den aktuellen digitalen Ausgangswert Θ_n aus. Der Ausgang des adaptiven Digitalfilters 690 ist mit einem Ausgang 710 des Umsetzers verbunden, um das gefilterte Umsetzergebnis auszugeben.

Nach dem Bezugnehmend auf Fig. 6 der Schaltungsaufbau des Umsetzers beschrieben worden ist, wird Bezugnehmend auf die Fig. 7–10 die Funktionsweise des Umsetzers erklärt, wobei darauf hingewiesen wird, daß in den Fig. 7–10 für gleiche Elemente wie in der Fig. 6 die gleichen Bezugszeichen verwendet werden, und eine Erklärung der Verschaltung dieser Elemente folglich weggelassen wird. Außerdem wurde zur Vereinfachung der Darstellung bei der Fig. 8 die Steuerlogik 670 weggelassen.

Die Fig. 7 zeigt den Teil der Schaltung von Fig. 6 der die Grobquantisierung des Eingangssignals α durchführt. Dieser Teil wird durch eine Rückkopplungsschleife gebildet, die den 4-Quadranten-Addierer 610, die Komparatoren 640, 650 und 660 die Steuerlogik 670 und den Auf/Ab-Zähler 680 umfaßt. Bei dem Addierer 610 wird das aktuelle Umsetzergebnis Θ_n , das in dem Auf/Ab-Zähler 680 gespeichert ist, von dem analogen Eingangssignal α subtrahiert, wodurch an dem Ausgang des Addierers 610 ein Fehlersignal $\epsilon = \alpha - \Theta_n$ erzeugt wird. Der Komparator 640 empfängt das Fehlersignal ϵ , und überprüft, ob das Fehlersignal ϵ einen bestimmten Schwellenwert S überschreitet. Entsprechend überprüft der Komparator 650 das Fehlersignal ϵ daraufhin, ob dasselbe kleiner als Minus der Schwellenwert S ist. Da der Integrator 620 (Fig. 6) kein Ausgangssignal liefert gibt der Addierer 630 (Fig. 6) sein Eingangssignal ϵ direkt weiter und kann für diese Betrachtung weggelassen werden. Der Komparator 660 überprüft, ob der Wert von ϵ Null überschreitet. Folglich wirken die drei Komparatoren 640, 650 und 660 zusammen, um zu überprüfen, ob das Fehlersignal ϵ außerhalb eines bestimmten, die Null umgebenden Bereiches liegt, bzw. ob der Betrag des Fehlersignals ϵ den Schwellenbetrag überschreitet, und welches Vorzeichen ϵ hat.

Falls der Betrag des Fehlersignals ϵ den Schwellenbetrag überschreitet, bedeutet dies, daß der augenblickliche Digitalwert bzw. das Umsetzergebnis Θ_n von dem analogen Eingangswert α sehr weit weg liegt, wobei der jeweilige Komparator 640 oder 650 ein entsprechendes Signal an die Steuerlogik 670 sendet, um zu bewirken das der augenblickliche Digitalwert, der in dem Auf/Ab-Zähler 680 gespeichert ist, an das Eingangssignal α angepaßt wird. Die Anpassung bzw. das Nachregeln des augenblicklichen Digitalwertes wird durch geeignetes Addieren bzw. Subtrahieren eines Regelwerts, beispielsweise einer bestimmten Anzahl von Zählerwerten, durchgeführt, wobei die Regelschleife derart wirkt, daß der aktuelle Digitalwert nachgeführt wird, bis das Umsetzergebnis Θ_n den analogen Eingangswert α überschreitet bzw. überquert. Diese Nachführung wird vorzugsweise ohne größere Zeitverzögerung, beispielsweise unter Verwendung einer Proportionalregelung, durchgeführt. Es kann beispielsweise vorgesehen sein, daß in dem Fall, daß der Betrag des Fehlersignals ϵ den bestimmten Schwellenwert überschreitet, der Auf/Ab-Zähler 680 den aktuellen Digitalwert pro Regelzyklus um eine bestimmte, an den Betrag des Fehlersignals ϵ angepaßte Anzahl von Zählerwerten erhöht bzw. verringert. Um die Anzahl von Zählerwerten in Abhängigkeit von dem Fehlersignal ϵ zu bestimmen, könnte eine Nachschlagetabelle verwendet werden. Eine solche Anpassung der Zählerschrittweite bzw. der Auflösung trägt dem Umstand Rechnung, daß Maschinen eine mechanische Trägheit aufweisen, so daß eine Nachführung des aktuellen Digitalwertes um einzelne Zählerwerte nicht erforderlich ist. Zudem können hierdurch auch schnellere Bewegungen der Maschine nachverfolgt werden. Es ist jedoch auch ferner möglich, daß der aktuelle Digitalwert Θ_n in dem Auf/Ab-Zähler 680 pro Zyklus lediglich durch Addieren oder Abziehen eines einzelnen Zählerwerts bzw. Inkrementieren oder Dekrementieren nachgeführt wird.

Es ist wahlweise ferner möglich, mit der Beendigung der Grobquantisierung nicht zu warten, bis Θ_n α überquert, sondern schon unmittelbar nachdem der Betrag von ϵ den Schwellenwert S unterschreitet zur Feinquantisierung weiterzugehen.

Während bei der Grobquantisierung die Bezugnehmend auf die Fig. 7 beschrieben worden ist, die Auflösung des Umsetzergebnisses Θ_n durch die digitale Breite des Auf/Ab-Zählers 680 begrenzt ist, ist es bei einer Feinquantisierung, die Bezugnehmend auf die Fig. 8 im folgendem beschrieben werden wird, durch anschließendes digitales Filtern möglich, die Auflösung des Umsetzergebnisses Θ_n zu erhöhen. Der die Feinquantisierung durchführenden Teil der Schaltung von Fig. 6 ist in Fig. 8 gezeigt und umfaßt in einem Regelkreis den 4-Quadranten-Addierer 610, den invertierenden Integrator 620, den Addierer 630, den Komparator 660, die Steuerlogik 670 (Fig. 6) und den Auf/Ab-Zähler 680. Dieser Teil der Schaltung wirkt, um die Feinquantisierung in dem Fall durchzuführen, daß das aktuelle Umsetzergebnis Θ_n von dem Eingangssignal α nur wenig, beispielsweise lediglich um höchstens 2 Zählerwerte, abweicht. Ist dies der Fall, wird der Integrator 620 durch die Steuerlogik 670 (Fig. 6), die in Fig. 8 wiederum aus Übersichtlichkeitsgründen nicht gezeigt ist, aktiviert und die Feinquantisierung beginnt. Wenn die Feinquantisierung während aufeinanderfolgender Taktzyklen stattfindet, d. h. falls die Überprüfung des Fehlersignals ϵ bei aufeinanderfolgenden Zyklen ergibt, daß sich das aktuelle Umsetzergebnis Θ_n von dem Eingangssignal α um weniger als den bestimmten Schwellenwert S unterschreitet, gibt der Integrator 620 an seinem Ausgang ein Integrationssignal Σ aus, das der Integration des bisher aufgetretenen invertierten Fehlersignals $-\epsilon$ seit dem Zeitpunkt entspricht, da der Betrag des Fehlersignals ϵ das letzte mal den Schwellenbetrag unterschritten hat. Der Addierer 630 zieht von dem aktuellen Fehlersignal ϵ den Integrationswert Σ ab und gibt die Differenz δ an den Komparator 660 aus. Der Komparator 660 vergleicht den von dem Addierer 630 ausgegebenen Differenzwert mit einem Vergleichswert und gibt das Ergebnis des Vergleichs an die Steuerlogik 670 aus. Die Steuerlogik 670 (Fig. 6) steuert den Auf/Ab-Zähler 680 derart an, daß der aktuelle Digitalwert Θ_n um einen Zählerwert inkrementiert wird, wenn δ größer als der Vergleichswert des Komparators 660 ist, und andernfalls Θ_n dekrementiert wird. Wie es im Folgenden deutlich werden wird, schwankt durch diese Regelung das Umsetzergebnis Θ_n um die beiden digitalen Werte herum, die dem Eingangssignal α am nächsten sind. Im Folgenden wird Bezugnehmend auf die Tabelle 1 die Funktionsweise der Feinquantisierungsrückkopplung näher erläutert.

Tabelle 1

n	α	Θ_n	ε	Σ	δ	Mittelwert der letzten 10 Θ_n	Kommentar
-2	14,7	6	8,7	0,0	8,7	6,0	Ausgangszustand
		9	5,7	0,0	5,7		Entscheidung: große Schritte nachführen
-1	14,7	9	5,7	0,0	5,7	6,3	vor Entscheidung
		12	2,7	0,0	2,7		Entscheidung: große Schritte nachführen
0	14,7	12	2,7	0,0	2,7	6,9	vor Entscheidung
		15	-0,3	0,0	-0,3		Entscheidung: große Schritte nachführen
1	14,7	15	-0,3	0,0	-0,3	7,8	vor Entscheidung, Feinquantisierung beginnt hier, da δ das Vorzeichen gewech- selt hat
		14	0,7	0,0	0,7		Entscheidung $\delta < 0$: Θ dekrementieren
2	14,7	14	0,7	-0,7	1,4	8,6	vor Entscheidung
		15	-0,3	-0,7	0,4		Entscheidung $\delta > 0$: Θ inkrementieren
3	14,7	15	-0,3	-0,4	0,1	9,5	vor Entscheidung
		16	-1,3	-0,4	-0,9		Entscheidung $\delta > 0$: Θ

n	α	Θ_n	ε	Σ	δ	Mittelwert der letzten 10 Θ_n	Kommentar
							inkrementieren
4	14,7	16	-1,3	0,9	-2,2	10,5	vor Entscheidung
		15	-0,3	0,9	-1,2		Entscheidung $\delta < 0$: Θ dekrementieren
5	14,7	15	-0,3	1,2	-1,5	11,4	vor Entscheidung
		14	0,7	1,2	-0,5		Entscheidung $\delta < 0$: Θ dekrementieren
6	14,7	14	0,7	0,5	0,2	12,2	vor Entscheidung
		15	-0,3	0,5	-0,8		Entscheidung $\delta > 0$: Θ inkrementieren
7	14,7	15	-0,3	0,8	-1,1	13,1	vor Entscheidung
		14	0,7	0,8	-0,1		Entscheidung $\delta < 0$: Θ dekrementieren
8	14,7	14	0,7	0,1	0,6	13,9	vor Entscheidung
		15	-0,3	0,1	-0,4		Entscheidung $\delta > 0$: Θ inkrementieren
9	14,7	15	-0,3	0,4	-0,7	14,5	vor Entscheidung
		14	0,7	0,4	0,3		Entscheidung $\delta < 0$: Θ dekrementieren
10	14,7	14	0,7	-0,3	1,0	14,7	vor Entscheidung
		15	-0,3	-0,3	-0,0		Entscheidung $\delta > 0$: Θ inkrementieren
11	14,7	15	-0,3	0,0	-0,3	14,7	vor Entscheidung
		14	0,7	0,0	0,7		Entscheidung $\delta < 0$: Θ dekrementieren
12	14,7	14	0,7	-0,7	1,4	14,7	vor Entscheidung
		15	-0,3	-0,7	0,4		Entscheidung $\delta > 0$: Θ inkrementieren
13	14,7	15	-0,3	-0,4	0,1	14,7	vor Entscheidung
		16	-1,3	-0,4	-0,9		Entscheidung $\delta > 0$: Θ inkrementieren
14	14,7	16	-1,3	0,9	-2,2	14,7	vor Entscheidung
		15	-0,3	0,9	-1,2		Entscheidung $\delta < 0$: Θ dekrementieren
15	14,7	15	-0,3	1,2	-1,5	14,7	vor Entscheidung
		14	0,7	1,2	-0,5		Entscheidung $\delta < 0$: Θ dekrementieren
16	14,7	14	0,7	0,5	0,2	14,7	vor Entscheidung
		15	-0,3	0,5	-0,8		Entscheidung $\delta > 0$: Θ inkrementieren
17	14,7	15	-0,3	0,8	-1,1	14,7	vor Entscheidung
		14	0,7	0,8	-0,1		Entscheidung $\delta < 0$: Θ dekrementieren
18	14,7	14	0,7	0,1	0,6	14,7	vor Entscheidung
		15	-0,3	0,1	-0,4		Entscheidung $\delta > 0$: Θ inkrementieren
19	14,7	15	-0,3	0,4	-0,7	14,7	vor Entscheidung
		14	0,7	0,4	0,3		Entscheidung $\delta < 0$: Θ dekrementieren
20	14,7	14	0,7	-0,3	1,0	14,7	vor Entscheidung
		15	-0,3	-0,3	-0,0		Entscheidung $\delta > 0$: Θ inkrementieren
21	14,7	15	-0,3	0,0	-0,3	14,7	vor Entscheidung

n	α	Θ_n	ϵ	Σ	δ	Mittelwert der letzten 10 Θ_n	Kommentar
		14	0,7	0,0	0,7		Entscheidung $\delta < 0$: Θ dekrementieren
22	14,7	14	0,7	-0,7	1,4	14,7	vor Entscheidung
		15	-0,3	-0,7	0,4		Entscheidung $\delta > 0$: Θ inkrementieren
23	14,7	15	-0,3	-0,4	0,1	14,7	vor Entscheidung
		16	-1,3	-0,4	-0,9		Entscheidung $\delta > 0$: Θ inkrementieren
24	14,7	16	-1,3	0,9	-2,2	14,7	vor Entscheidung
		15	-0,3	0,9	-1,2		Entscheidung $\delta < 0$: Θ dekrementieren
25	14,7	15	-0,3	1,2	-1,5	14,7	vor Entscheidung
		14	0,7	1,2	-0,5		Entscheidung $\delta < 0$: Θ dekrementieren
26	14,7	14	0,7	0,5	0,2	14,7	vor Entscheidung
		15	-0,3	0,5	-0,8		Entscheidung $\delta > 0$: Θ inkrementieren
27	14,7	15	-0,3	0,8	-1,1	14,7	vor Entscheidung
		14	0,7	0,8	-0,1		Entscheidung $\delta < 0$: Θ dekrementieren
28	14,7	14	0,7	0,1	0,6	14,7	vor Entscheidung
		15	-0,3	0,1	-0,4		Entscheidung $\delta > 0$: Θ inkrementieren
29	14,7	15	-0,3	0,4	-0,7	14,7	vor Entscheidung
		14	0,7	0,4	0,3		Entscheidung $\delta < 0$: Θ dekrementieren
30	14,7	14	0,7	-0,3	1,0	14,7	vor Entscheidung
		15	-0,3	-0,3	-0,0		Entscheidung $\delta > 0$: Θ inkrementieren
31	14,7	15	-0,3	0,0	-0,3	14,7	vor Entscheidung
		14	0,7	0,0	0,7		Entscheidung $\delta < 0$: Θ dekrementieren
32	14,7	14	0,7	-0,7	1,4	14,7	vor Entscheidung
		15	-0,3	-0,7	0,4		Entscheidung $\delta > 0$: Θ inkrementieren
33	14,7	15	-0,3	-0,4	0,1	14,7	vor Entscheidung
		16	-1,3	-0,4	-0,9		Entscheidung $\delta > 0$: Θ inkrementieren
34	14,7	16	-1,3	0,9	-2,2	14,7	vor Entscheidung
		15	-0,3	0,9	-1,2		Entscheidung $\delta < 0$: Θ dekrementieren
35	14,7	15	-0,3	1,2	-1,5	14,7	vor Entscheidung
		14	0,7	1,2	-0,5		Entscheidung $\delta < 0$: Θ dekrementieren
36	14,7	14	0,7	0,5	0,2	14,7	vor Entscheidung
		15	-0,3	0,5	-0,8		Entscheidung $\delta > 0$: Θ inkrementieren
37	14,7	15	-0,3	0,8	-1,1	14,7	vor Entscheidung

Die Tabelle 1 umfaßt 8 Spalten, in denen von links nach rechts der Regelzyklus n, der Wert des Eingangssignals α bei dem Regelzyklus n, der Digitalwert Θ_n bei dem Regelzyklus n, das Fehlersignal ϵ , der Integrationswert Σ bei dem Regelzyklus n, der Differenzwert δ , der bei dem Regelzyklus n von dem Addierer 630 ausgegeben wird, der Mittelwert der letzten 10 Digitalwerte Θ_n und die Steuerhandlung der Steuerlogik 670 jeweils vor und nach der Entscheidung angegeben sind. In Fig. 11a sind zur leichteren Veranschaulichung die Werte von ϵ , Σ und δ und in Fig. 11b die Werte von α , Θ und der Mittelwert von Θ über 10 Schritte auf der y-Achse aufgetragen, während auf der x-Achse die Zyklenstritte aufgetragen sind. In dem Beispiel von Tabelle 1 wird angenommen, daß die digitale Auflösung des Auf/Ab-Zählers 680 auf ganzzahlige Zahlen begrenzt ist. Zudem wird angenommen, daß der bestimmte Schwellenwert 2 und der Vergleichswert

0 beträgt. Folglich findet Feinquantisierung statt, falls der Betrag des Fehlersignals ϵ kleiner Zwei ist. Ferner wird bei dem Beispiel von Tabelle 1 angenommen, daß es sich bei dem Eingangssignal α um den Drehwinkel einer Maschine handelt, und daß die Maschine sich ab einem Zyklus $n = -2$ in Ruhe befindet.

In den Zyklen $n = -2$ bis $n = 0$ befindet sich der Umsetzer in einem Grobquantisierungszustand, da das Fehlersignal $\epsilon = \alpha - \Theta_n$ größer Zwei ist. In diesem Fall ist der Integrator abgeschaltet, der Integrationswert Σ gleich Null und der Differenzwert δ gleich ϵ , da die Feinquantisierung deaktiviert ist, und die Grobquantisierung aktiviert wird, um den Digitalwert Θ des Auf/Ab-Zählers 680 solange nachzuregeln, bis der aktuelle Digitalwert Θ_n das Eingangssignal α überschreitet. Wie es in Tabelle 1 gezeigt ist, wird angenommen, daß dieser Vorgang $n_0 = 3$ Zyklen erfordert. In dem Zyklus 1 liegen der aktuelle Digitalwert Θ_n und das Eingangssignal α eng beieinander, so daß die Feinquantisierung durchgeführt wird.

Der Integrationswert Σ wird durch die Steuerlogik 670 auf den Wert 0 initialisiert. Der durch den Addierer 630 erzeugte Differenzwert δ ergibt sich zu $-0,3$. Der Komparator 660 stellt fest, daß dieser Wert kleiner als sein Vergleichswert ist. Die Steuerlogik 670 entscheidet, daß der Zähler 680 jetzt Θ auf den Wert 14 dekrementiert. Beim Umschalten von Θ ändern sich ϵ und δ sprunghaft auf den Wert 0,7. Da hier die Feinquantisierung beginnt, gibt die Steuerlogik 670 jetzt den invertierenden Integrator 620 frei. Ab diesem Zeitpunkt wird $-\epsilon$ kontinuierlich aufintegriert. Die Integratorzeitkonstante ist in diesem Beispiel so gewählt, daß sich Σ nach einem Schritt mit dem konstanten Signal ϵ am Eingang des Integrators 620 um $-\epsilon$ ändert.

Bis zum Schritt $n = 2$ ist damit das Integratorsignal Σ bis auf $-0,7$ gefallen und mit ihm das Differenzsignal δ auf 1,4 gestiegen. Der Komparator 660 stellt fest, daß der Wert von δ jetzt größer als sein Vergleichswert ist. Die Steuerlogik 670 entscheidet, daß der Zähler 680 Θ auf den Wert 15 inkrementieren muß. Beim Umschalten von Θ ändern sich ϵ und δ sprunghaft auf die Werte $-0,3$ und $0,4$.

Da ϵ negativ ist steigt das Integratorsignal Σ wieder an und erreicht bis zum Schritt $n = 3$ den Wert $-0,4$. δ ist damit auf $0,1$ gefallen. Dennoch ist δ immer noch größer als der Vergleichswert des Komparators 660. Die Steuerlogik 670 entscheidet, daß der Zähler 680 Θ erneut inkrementieren muß. Θ erhält den Wert 16. Beim Umschalten von Θ ändern sich ϵ und δ sprunghaft auf die Werte $-1,3$ und $-0,9$.

Bis zum Schritt $n = 4$ steigt das Integratorsignal Σ weiter an, bis zum Wert $0,9$. δ fällt damit auf $-2,2$ und ist dann kleiner als der Vergleichswert des Komparators 660. Θ wird auf den Wert 15 dekrementiert und ϵ und δ springen auf $-0,3$ bzw. $-1,2$.

Bis zum Schritt $n = 5$ steigt das Integratorsignal Σ immer noch weiter an, bis zum Wert $1,2$. δ fällt damit auf $-1,5$ und ist wieder kleiner als der Vergleichswert des Komparators 660. Θ wird auf den Wert 14 dekrementiert und ϵ und δ springen auf $0,7$ bzw. $-0,5$.

Bis zum Schritt $n = 6$ fällt das Integratorsignal Σ wieder, bis zum Wert $0,5$. δ steigt damit auf $0,2$ und ist größer als der Vergleichswert des Komparators 660. Θ wird auf den Wert 15 inkrementiert und die Signale ϵ und δ springen auf $-0,3$ bzw. $-0,8$.

Bis zum Schritt $n = 7$ steigt das Integratorsignal Σ an, bis zum Wert $0,8$. δ fällt damit auf $-1,1$ und ist dann kleiner als der Vergleichswert des Komparators 660. Θ wird auf den Wert 14 dekrementiert. ϵ und δ springen auf $0,7$ bzw. $-0,1$.

Bis zum Schritt $n = 8$ fällt das Integratorsignal Σ wieder, bis zum Wert $0,1$. δ steigt damit auf $0,6$ und ist größer als der Vergleichswert des Komparators 660. Θ wird auf den Wert 15 inkrementiert und die Signale ϵ und δ springen auf $-0,3$ bzw. $-0,4$.

Dies setzt sich fort bis zum Schritt $n = 11$, wobei Θ bei $n = 9$ dekrementiert und bei $n = 10$ inkrementiert wird.

Bis zum Schritt $n = 11$ hat das Integratorsignal Σ den Wert $0,0$ wieder erreicht. Die Situation entspricht der des Schritts $n = 1$. Aus der Tabelle ist ersichtlich, daß sich von Schritt $n = 11$ bis zum Schritt $n = 21$ die Zustände von Schritt $n = 1$ bis Schritt $n = 11$ wiederholen. Dieses zyklische Verhalten mit der Periode von zehn Schritten, in denen der Digitale Ausgangswert Θ um diejenigen Digitalwerte herum schwankt, die dem Eingangswert α am nächsten liegen, setzt sich fort, solange sich α nicht ändert.

Anders ausgedrückt wird bei jedem Schritt das Fehlersignal ϵ mit dem Integratorsignal Σ verglichen. Θ oszilliert zwischen den beiden α nächstliegenden Werten hin und her – wie in den Schritten $n = 5$ bis $n = 12$ sichtbar. Ist ϵ im Mittel eher positiv, also Θ im Mittel zu klein, so sinkt Σ immer weiter ab, bis Θ vom größeren der beiden Werte aus einmal mehr nach Θ_{i+2} erhöht wird – wie im Schritt $n = 13$ –, da Σ kleiner als der kleinere Wert von ϵ wird. Dadurch wird Θ im Mittel zu groß, Σ steigt wieder an und Θ oszilliert wieder zwischen den beiden α nächstliegenden Werten $\Theta_i < \alpha$ und $\Theta_i + 1 > \alpha$ hin und her.

Liegt α genau zwischen Θ_i und $\Theta_i + 1$, so oszilliert Θ nur zwischen den beiden Werten hin und her.

Ist $\alpha > \Theta_i + 0,5$, so tritt zum Ausgleich regelmäßig zusätzlich der Wert $\Theta_i + 2$ auf. Ist $\alpha < \Theta_i + 0,5$, so tritt regelmäßig zusätzlich der Wert $\Theta_i - 1$ auf.

Insgesamt entspricht dieser Feinquantisierungsrückkopplungsprozeß der Funktionsweise eines SIGMA-DELTA-Umsetzers. Aus dem Verhältnis der Häufigkeit des Auftretens der digitalen Werte können durch Mittelwertbildung über mehrere Schritte in einem digitalen Filter interpolierte Zwischenwerte ermittelt werden, wie es bezugnehmend auf Fig. 9 näher erläutert werden wird.

Bildet man den Mittelwert über die letzten 10 Θ Werte der Tabelle 1, so erhält man nach einer Einschwingzeit von maximal 10 Schritten, nachdem die Feinquantisierung einsetzt, das genauere Umsetzergebnis von 14,7, wie es in der siebten Spalte der Tabelle aufgetragen ist, da innerhalb einer Periode einmal der Wert 16, fünf mal der Wert 15 und viermal der Wert 14 auftritt.

Bezugnehmend auf Fig. 8 und die Tabelle 1 wird jedoch darauf hingewiesen, daß, obwohl im vorhergehenden der Vergleichswert des Komparators 660 Null betrug, derselbe ferner auf einen anderen Wert eingestellt werden kann. Entsprechend kann auch der Initialisierungswert des Integrators 620 auf einen anderen Wert eingestellt werden als Null. Außerdem ist es möglich, dem Fehlerwert ϵ sofort bei Initialisierung zu dem Initialisierungswert zu addieren. Bezugnehmend auf die Tabelle 1 wird insbesondere darauf hingewiesen, daß im vorhergehenden die Feinquantisierungsregelung in diskreten Zyklen beschrieben worden ist, daß aber erst bei dem Auf/Ab-Zähler 680 die eigentliche Digitalisierung statt-

findet, und daß der Integrator 620, der Addierer 630 und der Komparator 660 analoge Komponenten darstellen, und der Integrationswert Σ und der Differenzwert δ analoge Signale sind. Die in der Tabelle 1 gezeigten Werte ergeben sich erst durch Anlegen eines geeigneten Taktes an die Steuerlogik und an den Auf/Ab-Zähler.

Der analoge Signalpfad bis zum Integrator 620 stellt sicher, daß kleine Störungen, die dem Eingangssignal α überlagert sind, durch den Integrator 620 gemittelt werden und kleine oder langsame Änderungen des Eingangssignales durch Aufsummieren aller bisherigen Fehler im Ausgangssignal Θ kontinuierlich mitberücksichtigt werden.

Des Weiteren wird darauf hingewiesen, daß das Schaltverhalten der Steuerlogik 670 in diesem Beispiel eine einfach vorzuführende Ausführung darstellt und daß der Integrator 620 und der Auf/Ab-Zähler 680 auch mit komplexeren Entscheidungskriterien gesteuert werden können und damit andere Folgen digitaler Werte generiert werden, die im Mittel aber ebenfalls dem Eingangssignal α entsprechen.

Als Beispiel sei hier auf den in Tabelle 2 veranschaulichten und in Fig. 11c und 11d dargestellten Ablauf verwiesen. Der Aufbau der Spalten von Tabelle 2 entspricht demjenigen von Tabelle 1. In Fig. 11c sind die Werte von ϵ , Σ und δ und in Fig. 11d die Werte von α , Θ und der Mittelwert von Θ über 10 Schritte auf der y-Achse aufgetragen, während auf der x-Achse die Zyklenschritte aufgetragen sind. Bei dem dargestellten Ablauf wird von identischen Voraussetzungen ausgegangen wie bei dem bezugnehmend auf Tabelle 1 beschriebenen Ablauf. Der einzige Unterschied liegt im Entscheidungskriterium für das Auf- und Ab-Steuern des Zählers 680. Hier wird die Zählrichtung ebenfalls aus dem Vorzeichen von δ bestimmt.

Tabelle 2

n	α	Θ_n	ϵ	Σ	δ	Mittelwert der letzten 10 Θ_n	Kommentar
-2	14.7	6	8.7	0.0	8.7	6.0	Ausgangszustand
		9	5.7	0.0	5.7		Entscheidung: große Schritte nachführen
-1	14.7	9	5.7	0.0	5.7	6.3	vor Entscheidung
		12	2.7	0.0	2.7		Entscheidung: große Schritte nachführen
0	14.7	12	2.7	0.0	2.7	6.9	vor Entscheidung
		15	-0.3	0.0	-0.3		Entscheidung: große Schritte nachführen

1	14.7	15	-0.3	0.0	-0.3	7.8	vor Entscheidung, Feinquantisierung beginnt hier, da δ das Vorzeichen gewechselt hat
		14	0.7	0.0	0.7		Entscheidung $\delta < 0$: Θ dekrementieren
2	14.7	14	0.7	-0.7	1.4	8.6	vor Entscheidung
		15	-0.3	-0.7	0.4		Entscheidung $\delta > 0$: Θ inkrementieren
3	14.7	15	-0.3	-0.4	0.1	9.5	vor Entscheidung
		15	-0.3	-0.4	0.1		Auf Zählwert OK, keine Änderung
4	14.7	15	-0.3	-0.1	-0.2	10.4	vor Entscheidung
		14	0.7	-0.1	0.8		Entscheidung $\delta < 0$: Θ dekrementieren
5	14.7	14	0.7	-0.8	1.5	11.2	vor Entscheidung
		15	-0.3	-0.8	0.5		Entscheidung $\delta > 0$: Θ inkrementieren
6	14.7	15	-0.3	-0.5	0.2	12.1	vor Entscheidung
		15	-0.3	-0.5	0.2		Auf Zählwert OK, keine Änderung
7	14.7	15	-0.3	-0.2	-0.1	13.0	vor Entscheidung
		14	0.7	-0.2	0.9		Entscheidung $\delta < 0$: Θ dekrementieren
8	14.7	14	0.7	-0.9	1.6	13.8	vor Entscheidung
		15	-0.3	-0.9	0.6		Entscheidung $\delta > 0$: Θ inkrementieren
9	14.7	15	-0.3	-0.6	0.3	14.4	vor Entscheidung
		15	-0.3	-0.6	0.3		Auf Zählwert OK, keine Änderung
10	14.7	15	-0.3	-0.3	-0.0	14.7	vor Entscheidung
		14	0.7	-0.3	1.0		Entscheidung $\delta < 0$: Θ dekrementieren
11	14.7	14	0.7	-1.0	1.7	14.6	vor Entscheidung
		15	-0.3	-1.0	0.7		Entscheidung $\delta > 0$: Θ inkrementieren
12	14.7	15	-0.3	-0.7	0.4	14.7	vor Entscheidung
		15	-0.3	-0.7	0.4		Auf Zählwert OK, keine Änderung
13	14.7	15	-0.3	-0.4	0.1	14.7	vor Entscheidung
		15	-0.3	-0.4	0.1		Auf Zählwert OK, keine Änderung
14	14.7	15	-0.3	-0.1	-0.2	14.7	vor Entscheidung
		14	0.7	-0.1	0.8		Entscheidung $\delta < 0$: Θ dekrementieren
15	14.7	14	0.7	-0.8	1.5	14.7	vor Entscheidung
		15	-0.3	-0.8	0.5		Entscheidung $\delta > 0$: Θ inkrementieren
16	14.7	15	-0.3	-0.5	0.2	14.7	vor Entscheidung
		15	-0.3	-0.5	0.2		Auf Zählwert OK, keine Änderung
17	14.7	15	-0.3	-0.2	-0.1	14.7	vor Entscheidung
		14	0.7	-0.2	0.9		Entscheidung $\delta < 0$: Θ dekrementieren
18	14.7	14	0.7	-0.9	1.6	14.7	vor Entscheidung
		15	-0.3	-0.9	0.6		Entscheidung $\delta > 0$: Θ inkrementieren

5	19	14.7	15	-0.3	-0.6	0.3	14.7	vor Entscheidung
			15	-0.3	-0.6	0.3		Auf Zählwert OK, keine Änderung
	20	14.7	15	-0.3	-0.3	-0.0	14.7	vor Entscheidung
			14	0.7	-0.3	1.0		Entscheidung $\delta < 0$: Θ dekrementieren
10	21	14.7	14	0.7	-1.0	1.7	14.7	vor Entscheidung
			15	-0.3	-1.0	0.7		Entscheidung $\delta > 0$: Θ inkrementieren
	22	14.7	15	-0.3	-0.7	0.4	14.7	vor Entscheidung
15			15	-0.3	-0.7	0.4		Auf Zählwert OK, keine Änderung
	23	14.7	15	-0.3	-0.4	0.1	14.7	vor Entscheidung
			15	-0.3	-0.4	0.1		Auf Zählwert OK, keine Änderung
20	24	14.7	15	-0.3	-0.1	-0.2	14.7	vor Entscheidung
			14	0.7	-0.1	0.8		Entscheidung $\delta < 0$: Θ dekrementieren
	25	14.7	14	0.7	-0.8	1.5	14.7	vor Entscheidung
25			15	-0.3	-0.8	0.5		Entscheidung $\delta > 0$: Θ inkrementieren
	26	14.7	15	-0.3	-0.5	0.2	14.7	vor Entscheidung
			15	-0.3	-0.5	0.2		Auf Zählwert OK, keine Änderung
30	27	14.7	15	-0.3	-0.2	-0.1	14.7	vor Entscheidung
			14	0.7	-0.2	0.9		Entscheidung $\delta < 0$: Θ dekrementieren
	28	14.7	14	0.7	-0.9	1.6	14.7	vor Entscheidung
35			15	-0.3	-0.9	0.6		Entscheidung $\delta > 0$: Θ inkrementieren
	29	14.7	15	-0.3	-0.6	0.3	14.7	vor Entscheidung
			15	-0.3	-0.6	0.3		Auf Zählwert OK, keine Änderung
40	30	14.7	15	-0.3	-0.3	-0.0	14.7	vor Entscheidung
			14	0.7	-0.3	1.0		Entscheidung $\delta < 0$: Θ dekrementieren
45	31	14.7	14	0.7	-1.0	1.7	14.7	vor Entscheidung
			15	-0.3	-1.0	0.7		Entscheidung $\delta > 0$: Θ inkrementieren
	32	14.7	15	-0.3	-0.7	0.4	14.7	vor Entscheidung
50			15	-0.3	-0.7	0.4		Auf Zählwert OK, keine Änderung
	33	14.7	15	-0.3	-0.4	0.1	14.7	vor Entscheidung
			15	-0.3	-0.4	0.1		Auf Zählwert OK, keine Änderung
55	34	14.7	15	-0.3	-0.1	-0.2	14.7	vor Entscheidung
			14	0.7	-0.1	0.8		Entscheidung $\delta < 0$: Θ dekrementieren
	35	14.7	14	0.7	-0.8	1.5	14.7	vor Entscheidung
60			15	-0.3	-0.8	0.5		Entscheidung $\delta > 0$: Θ inkrementieren
	36	14.7	15	-0.3	-0.5	0.2	14.7	vor Entscheidung
			15	-0.3	-0.5	0.2		Auf Zählwert OK, keine Änderung
65	37	14.7	15	-0.3	-0.2	-0.1	14.7	vor Entscheidung
			14	0.7	-0.2	0.9		Entscheidung $\delta < 0$: Θ dekrementieren

Zunächst wird aber in Schritt weiter gezählt und dann bei gleichbleibendem Vorzeichen von δ mindestens eine bestimmte Anzahl n_w Schritte gewartet, bis erneut in derselben Richtung weiter gezählt wird. Im vorliegenden Beispiel ist die Anzahl der zu wartenden Schritte $n_w = 3$. Behält δ längere Zeit das selbe Vorzeichen bei, so wird in diese Richtung weiter gezählt, da angenommen werden muß, daß sich α verändert hat. Auf diese Weise wird aber sichergestellt, daß Θ_n nur zwischen den beiden α nächstliegenden Werten $\Theta_i < \alpha$ und $\Theta_i + 1 > \alpha$ hin und her schaltet.

Wie aus Tabelle 2 ersichtlich ist, entspricht der Mittelwert der letzten 10 Werte von Θ_n wieder dem Eingangswert $\alpha = 14,7$.

Bezugnehmend auf Fig. 9 wird nun der die Mittelwertbildung durchführende Teil der Schaltung der Fig. 6 beschrieben. Dieser Teil umfaßt die Steuerlogik 670 und ein anpaßbares bzw. adaptives Digitalfilter 690, das an dem Ausgang 710 das gefilterte Umsetzergebnis ausgibt.

Ist das Eingangssignal α längere Zeit konstant oder ändert es sich sehr langsam, so kann durch Mittelwertbildung über längere Zeit ein dem Eingangssignal α entsprechender Digitalwert mit hoher Genauigkeit zwischen den Θ_n -Werten linear interpoliert werden. Bei hoher Verfahrensgeschwindigkeit bzw. schneller Änderung des Eingangssignals α ist es aber sinnvoll die Mittelungsdauer klein zu halten, damit die Totzeit des Regelungssystems klein bleibt. Durch das anpaßbare Digitalfilter 690 ist es möglich die Auflösung und den dynamischen Verlauf des gefilterten Umsetzergebnisses Θ an die aktuelle Verfahrensgeschwindigkeit anzupassen. Die Steuerlogik 670 empfängt die Informationen über die Verfahrensgeschwindigkeit beispielsweise über einen weiteren Eingang von außen oder verwendet die aus der Grob- und Feinquantisierung stammenden Komparatorsignal KI, KM und KL (Fig. 6), und steuert das Digitalfilter 690 entsprechend. Die Steuerlogik 690 steuert hierzu die momentane Filterlänge des Digitalfilters 690 dynamisch bzw. paßt dieselbe an die Verfahrensgeschwindigkeit an. Zudem kann es vorgesehen sein, daß die Steuerlogik 670 weitere Informationen, wie z. B. durch den Benutzer vorgegebene Auflösungserfordernisse, empfängt, um das anpaßbare Digitalfilter 690 bzw. dessen momentane Filterlänge zu steuern.

Bezugnehmend auf Fig. 10 wird nun der Aufbau des 4-Quadranten-Addierers 610 von Fig. 6 näher erläutert. Vorab wird jedoch darauf hingewiesen, daß bei der Schaltung von Fig. 6 jeder Addierer verwendet werden kann, falls das Eingangssignal α bereits als ein einzelner analoger Wert vorliegt. Der 4-Quadranten-Addierer 610 ist vorgesehen, um das Fehlersignal ϵ aus dem aktuellen Digitalwert Θ_n und den zueinander in Quadratur stehenden Signalen U_{\sin} und U_{\cos} zu ermitteln, die beispielsweise von einer Meßanordnung, wie sie in den Fig. 1a-1c gezeigt ist, erzeugt werden.

Wie es in Fig. 10 zu ersehen ist, umfaßt der 4-Quadranten-Addierer 610 einen Sinus- 810 und einen Cosinus-Multiplizierer 800 sowie einen Addierer 820. Ein Eingang des Cosinus-Multiplizierers 800 ist mit einem Eingang 805 des 4-Quadranten-Addierers 610 verbunden, um das Eingangssignal U_{\sin} zu empfangen, wobei ein weiterer Eingang mit einem Eingang 807 des 4-Quadranten-Addierers 610 verbunden ist, um den aktuellen Digitalwert Θ_n zu empfangen. Der Ausgang des Cosinus-Multiplizierers 800 ist mit einem nichtinvertierenden Eingang des Addierers 820 verbunden, um das Ergebnis der Multiplikation von U_{\sin} und $\cos(\Theta_n)$ auszugeben. Ein Eingang des Sinus-Multiplizierers 810 ist mit einem Eingang 815 des 4-Quadranten-Addierers 610 verbunden, um das Eingangssignal U_{\cos} zu empfangen, wobei ein weiterer Eingang mit dem Eingang 807 des 4-Quadranten-Addierers 610 verbunden ist, um den aktuellen Digitalwert Θ_n zu empfangen. Der Ausgang des Sinus-Multiplizierers 810 ist mit einem invertierenden Eingang des Addierers 820 verbunden, um das Ergebnis der Multiplikation von U_{\cos} und $\sin(\Theta_n)$ auszugeben. Der Addierer 820 gibt an einem Ausgang 830 das Fehlersignal klein ϵ aus. Der Wert des Fehlersignals ϵ nimmt folglich den Wert $\epsilon = U_0(t)(\sin(\alpha)\cos(\Theta) - \cos(\alpha)\sin(\Theta))$ an. Unter Verwendung der Näherung

$$\epsilon = \sin(\alpha)\cos(\Theta) - \cos(\alpha)\sin(\Theta) = \sin(\alpha - \Theta) \approx \alpha - \Theta$$

ergibt sich das somit erzeugte Fehlersignal $\epsilon = U_0(t) \cdot (\alpha - \Theta)$.

Der 4-Quadranten-Addierer kann um eine Korrekturtabelle 840 ergänzt sein, die ebenfalls den aktuellen Digitalwert Θ_n empfängt. Deren Ausgang speist den Digital/Analog-Umsetzer 850, dessen Ausgang wiederum dem Addierer zugeführt wird. Die Korrekturtabelle 840 kann auch noch zusätzlich das zur anschließend beschriebenen Demodulation nötige Trägersynchronsignal 855 empfangen.

Durch diese Anordnung können Fertigungstoleranzen der Multiplizierer 800 und 810 ausgeglichen werden. Die Korrekturtabelle 840 erzeugt aus dem Digitalwert 807 ein digitales Korrektursignal 860, das im Digital/Analog-Umsetzer 850 in ein analoges Signal umgesetzt wird, das das ϵ -Signal um kleine Werte korrigiert. Dies ist im Besonderen wichtig, wenn die im Folgenden beschriebene Demodulation durchgeführt werden soll und die Faktoren der Multiplizierer 800 und 810 für Θ_n und $-\Theta_n$ zusammenpassen müssen.

Da Θ dem Eingangssignal α nachgeführt wird, ist für ein bestimmtes Θ_n in Verbindung mit einem bestimmten Zustand des Trägersynchronsignals 855 immer ein ähnlich großes Signal α zu erwarten und damit das Ergebnis ϵ immer mit dem selben Fehler behaftet. Deshalb genügt eine Korrektur von ϵ , eine Korrektur der Faktoren der Multiplizierer 800 und 810 ist nicht nötig.

Die phasensensitive Demodulation eines mit beispielsweise $U_0(t) = U_1 \cdot \cos(\omega t)$ modulierten Paares von Signalen läßt sich einfach bewerkstelligen, indem bei den Schritten, bei denen das Trägersignal $U_1 \cdot \cos(\omega t) < 0$ ist, statt Θ_n ein $-\Theta_n$ rückgekoppelt wird. Durch die Sinusförmigkeit des Trägers nimmt aber die erreichbare Genauigkeit der linearen Interpolation bei konstanter Filterlänge ab. Es ist auch darauf zu achten, daß die Mittelung möglichst über ein ganze Anzahl von Perioden des Trägersignals erfolgt.

Bezugnehmend auf Fig. 12 wird nun ein Umsetzer gemäß einem speziellen Ausführungsbeispiel der vorliegenden Erfindung beschrieben, wobei Fig. 12 das Blockschaltbild des Umsetzers zeigt. Der Umsetzer ist zur Verwendung bei der Digitalisierung von Meßsignalen, wie sie beispielsweise von den in Fig. 1a-1c gezeigten Meßanordnungen erzeugt werden, vorgesehen.

Der Umsetzer von Fig. 12 umfaßt zwei Eingänge 900 und 905 zum Empfangen der zueinander in Quadratur stehenden Eingangssignale U_{\sin} und U_{\cos} und einen Eingang 910 zum Empfangen eines Taktsignals CLK. Es ist ferner ein Eingang 915 vorgesehen, an dem ein Signal UTräger mit Trägerfrequenz eingekoppelt wird. Die Schaltung umfaßt ferner ei-

nen Ausgang 920, an dem das gefilterte Umsetzergebnis THETA_OUT ausgegeben wird, einen Ausgang 925, an dem die Spannung UEPSILON ausgegeben wird, die dem Fehlersignal ϵ entspricht, und einen Ausgang 927, an dem die Spannung UINT anliegt, die dem Integrationswert entspricht. Die beiden Eingänge 900 und 905 sind jeweils mit dem Eingang eines DACs (DAC = Digital Analog Converter = Digital/Analog-Wandler) 930 und 935 verbunden, deren Ausgänge mit einem invertierenden und einem nichtinvertierenden Eingang eines Summierers 940 verbunden sind. Der Ausgang des Summierers 940 ist mit dem Ausgang 925 des Umsetzers, einem Eingang eines invertierenden Integrators 945 und jeweils einem Eingang von drei Komparatoren 950, 955 und 960 verbunden. Der Ausgang des invertierenden Integrators 945 ist mit dem jeweils anderen Eingang der drei Komparatoren 950-960 sowie dem Ausgang 927 des Umsetzers verbunden. Die Ausgänge der Komparatoren 950-960 sind mit drei Eingängen einer Steuerlogik 965 verbunden, um Signale KI, KH und L an die Steuerlogik auszugeben. Bei der Steuerlogik 965 ist zum Empfangen eines Taktsignals CLK ein weiterer Eingang mit dem Eingang 910 des Umsetzers verbunden, sowie ein Ausgang mit einem Eingang des invertierenden Integrators 945 zum Übertragen eines Rücksetzsignals RESET_INT an den selben und ein weiterer Ausgang mit einem Schleifenzähler 970 zum Übertragen eines Zählersteuerungssignals CNT_CNTRL verbunden. Ein weiterer Eingang des Schleifenzählers 970 ist ebenfalls mit dem Eingang 910 verbunden, um das Taktsignal CLK zu empfangen. Der Ausgang des Schleifenzählers 970 ist sowohl mit einem Quadrantenselektor 975 sowie einem Eingang eines digitalen Interpolationsfilters 980 verbunden und gibt das in dem Schleifenzähler 970 gespeicherte Signal THETA_COUNT aus, das dem digitalen Ausgangswert entspricht. Das digitale Interpolationsfilter 980 gibt das gefilterte Signal THETA_OUT an den Ausgang 920 aus, das dem gefilterten digitalen Ausgangswert entspricht. Ein weiterer Eingang des Quadrantenselektors 975 ist mit dem Eingang 915 verbunden, wobei ein Vorzeichendetektor 985 dazwischengeschaltet ist, um ein das Vorzeichen des Signals UTräger angegebendes Signal SYNCH_CMP an den Quadrantenselektor 975 auszugeben. Der Quadrantenselektor 975 ist an einem Ausgang mit jeweils einem weiteren Eingang der DACs 930 und 935 verbunden, um an dieselben die Signale THETA_CDAC und THETA_SDAC auszugeben. Der Ausgang THETA_CDAC des Quadrantenselektors 975 ist mit einem weiteren Eingang des DACs 930, der Ausgang THETA_SDAC mit einem weiteren Eingang des DACs 935 verbunden.

Nachdem im Vorhergehenden bezugnehmend auf Fig. 12 der Aufbau der Schaltung beschrieben worden ist, wird im Folgenden die Funktionsweise derselben beschrieben.

Zur Demodulation der Eingangssignale U_{\sin} und U_{\cos} soll je nach Vorzeichen von UTräger ein zusätzlicher Faktor (-1) berücksichtigt werden. Die beiden multiplizierenden nichtlinearen DACs 930 und 935 sind außerdem identisch und realisieren die Multiplikation in zwei der vier Quadranten einer Sinus- bzw. Cosinusfunktion. Da die Ansteuersignale THETA_SDAC und THETA_CDAC der beiden DACs nur den halben Wertebereich von THETA_COUNT überstreichen, ist für THETA_SDAC und THETA_CDAC die Auflösung NDAC notwendig, für THETA_COUNT jedoch die Auflösung NDAC + 1. Damit nun je nach Vorzeichen von UTräger und je nach Wertebereich von Θ die Faktoren $\sin(\Theta)$ und $\cos(\Theta)$ bzw. $-\sin(\Theta)$ und $-\cos(\Theta)$ eingestellt werden können, muß der Quadrantenselektor 975 THETA_SDAC und THETA_CDAC aus THETA_COUNT geeignet bestimmen.

Im Folgenden wird bezugnehmend auf Tabelle 3 für die Bestimmung von THETA_SDAC und THETA_CDAC aus THETA_COUNT ein Beispiel ausgeführt. Die Tabelle 3 umfaßt 6 Spalten, in denen von links nach rechts das THETA_COUNT, die Größe von UTräger, der für den DAC 930 erwünschte Faktor, das dafür einzustellende THETA_CDAC, der für den DAC 935 erwünschte Faktor und das dafür einzustellende THETA_SDAC aufgelistet sind. Es wird angenommen, daß die Multiplizierer einen Faktor $\cos(\Theta)$ für $0^\circ < \Theta < 180^\circ$ realisieren. Es ergibt sich die Berechnung der THETA_CDAC aus THETA_COUNT und UTräger nach der vierten Spalte der Tabelle 3 und die Berechnung von THETA_SDAC aus THETA_COUNT und UTräger nach der sechsten Spalte der Tabelle.

Tabelle 3

THETA_COUNT	UTräger	Faktor DAC 930	THETA_CDAC	Faktor DAC 935	THETA_SDAC
0° ... 90°	> 0	cos Θ	THETA_COUNT	sin Θ	90° - THETA_COUNT
	< 0	- cos Θ	180° - THETA_COUNT	- sin Θ	90° + THETA_COUNT
90° ... 180°	> 0	cos Θ	THETA_COUNT	sin Θ	THETA_COUNT - 90°
	< 0	- cos Θ	180° - THETA_COUNT	- sin Θ	270° - THETA_COUNT
180° ... 270°	> 0	cos Θ	360° - THETA_COUNT	sin Θ	THETA_COUNT - 90°
	< 0	- cos Θ	THETA_COUNT - 180°	- sin Θ	270° - THETA_COUNT
270° ... 360°	> 0	cos Θ	360° - THETA_COUNT	sin Θ	450° - THETA_COUNT
	< 0	- cos Θ	THETA_COUNT - 180°	- sin Θ	THETA_COUNT - 270°

Die zwei DACs 930 und 935 multiplizieren das Eingangssignal U_{\sin} mit $\pm \cos(\text{THETA_COUNT})$ bzw. das Eingangssignal U_{\cos} mit $\pm \sin(\text{THETA_COUNT})$. Bei dem Summierer 940 wird das Signal U_{ϵ} nach folgender Gleichung gebildet:

$$\epsilon(t) = U_0(t) \cdot \text{sign}(U_{\text{Träger}}) \cdot (\sin(\alpha)\cos(\Theta) - \cos(\alpha)\sin(\Theta))$$

$$\text{mit } \text{sign}(x) = \begin{cases} +1 & \text{für } x > 0 \\ 0 & \text{für } x = 0 \\ -1 & \text{für } x < 0 \end{cases}$$

Dieses Signal wird von dem Zeitpunkt t_r ab, da der Integrator 945 durch das Signal RESET_INT von der Steuerlogik 965 rückgesetzt worden ist, in dem invertierenden Integrator 945 integriert, wobei das Ergebnis der Integration als das Signal U_{INT} an die Komparatoren 950–960 ausgegeben wird. Die Zeitabhängigkeit des Signals U_{INT} ist durch folgende Gleichung gegeben:

$$U_{\text{INT}}(t) = -\frac{1}{T_I} \int_{t_r}^t \epsilon(\tau) d\tau$$

Hierbei stellt T_I die Integrationszeitkonstante des Integrators 945 dar.

Die Komparatoren 950–960 vergleichen U_{ϵ} mit U_{INT} . Insbesondere vergleicht der Komparator 950 das Signal U_{INT} mit dem Signal U_{ϵ} und zeigt durch das digitale Ausgangssignal KI an, ob U_{ϵ} größer als U_{INT} ist. Der Komparator 950 überprüft, ob U_{ϵ} viel größer als U_{INT} ist und aktiviert, falls dies der Fall ist, das digitale Ausgangssignal KH . Entsprechend überprüft der Komparator 960, ob U_{ϵ} viel kleiner als U_{INT} ist und aktiviert, falls dies der Fall ist, das digitale Ausgangssignal KL .

Der Schleifenzähler 970 kann seinen gespeicherten Wert bei jeder aktiven Taktflanke des Taktsignals CLK ändern. Die Steuerlogik 965 steuert den Zustand des Zählers 970 und das Rücksetzen des Integrators 945 durch die Signale RESET_INT und CNT_CNTRL nach dem nächsten Takt in Abhängigkeit der Signale KI , KH und KL . In dem vorliegenden Fall steuert die Steuerlogik 965 den Schleifenzähler 970 derart, daß, falls

- a) das Signal KI aktiv ist, der Schleifenzähler 970 den gespeicherten Schleifenzählerwert THETA_COUNT inkrementiert oder ansonsten dekrementiert, wodurch das Signal THETA_COUNT eine Folge von Werten annimmt, die

im Mittel dem Eingangssignal entsprechen.

b) das Signal KL oder das Signal KH aktiv ist, d. h. der Betrag des Fehlersignals E sehr groß ist, der Schleifenzähler 970 eine bestimmte Anzahl von Zählerwerten von dem gespeicherten Wert THETA_COUNT abzieht oder zu demselben dazuzählt, so daß hierdurch die Nachführung von THETA_COUNT an den Feinquantisierungsbereich erzielt wird.

In dem letzteren Fall aktiviert die Steuerlogik das Signal RESET_INT, da die Integration nicht benötigt wird. Hierdurch wird die Schleife zur Nachführung von THETA_COUNT schneller.

Eine Interpolation von Zwischenwerten wird bei Bedarf durch Mittelwertbildung in dem digitalen Filter 980 in Verbindung mit dem Integrator 945 durchgeführt. In dem Fall, daß UEPSILON einige Takte lang zu groß ist, aber nicht ausreicht, um das Umschalten von KI zu erreichen, sinkt UNT immer weiter ab. Die Fehler durch die Multiplikation kleinerer Auflösungen N_{DAC} bei den DACs 930 und 935 werden in dem Integrator 945 aufsummiert und zwar solange, bis das Signal KI umschaltet. Hierdurch wird UEPSILON viel kleiner, und in den meisten Fällen negativ. Als eine Folge nimmt UNT zu, bis das Signal K wieder umgeschaltet wird. Auf diese Weise oszilliert das digitale Signal THETA_COUNT, das eine feste Auflösung von $N_{DAC} + 1$ aufweist, immer um die zwei dem Eingangssignal am nächstliegenden Werte herum. Aus der Häufigkeit des Auftretens der Werte kann jedoch durch eine Mittelwertbildung im Digitalfilter 980 das Signal THETA_COUNT mit einer höheren Auflösung als $N_{DAC} + 1$ gewonnen werden.

Durch das Rücksetzen des Integrators 945 für große Fehlersignale UEPSILON, die bei schneller Änderung von α auftreten, ist gewährleistet, daß derselbe nicht übersteuert wird und in Sättigung geht. In diesem Fall steht der Integrator 945 sofort wieder zur Interpolation zur Verfügung, sobald sich das Signal THETA_COUNT wieder in dem richtigen Bereich bzw. dem Feinquantisierungsbereich befinden. Das Signal THETA_COUNT enthält die Informationen über das Eingangssignal mit der höchstmöglichen Abtastrate des Systems codiert. Hierdurch läßt sich durch das Interpolationsfilter 980 das Ausgangssignal THETA_OUT wahlweise unter einer Reduzierung der Abtastrate in der benötigten Auflösung $N = N_{DAC} + 1 + N_{Interp}$ ermitteln, wobei N_{Interp} die durch den Interpolationsfilter 980 hinzugewonnene Auflösung angibt.

Nachdem im vorhergehenden die Erfindung anhand von Beispielen beschrieben worden ist, wird darauf hingewiesen, daß, obwohl im vorhergehenden die Vorrichtung und das Verfahren gemäß der vorliegenden Erfindung in Bezug auf zueinander in Quadratur stehende Signale beschrieben worden ist, die vorliegende Erfindung auf jegliche analoge Signale anwendbar ist, und dieselbe insbesondere dann vorteilhaft angewendet werden kann, falls schnelle Änderungen des Eingangssignals eine grobere Quantisierung erlauben, während ansonsten eine hohe Auflösung gefordert wird. In diesem Fall könnte der 4-Quadranten-Addierer von Fig. 6 durch einen normalen Addierer ersetzt werden.

Zudem ist es möglich, die zu dem Grobquantisierungsregelkreis gehörenden Komparatoren mehrfach und mit verschiedenen Vergleichswerten auszuführen, die sich betragsmäßig voneinander unterscheiden, wodurch eine an die Größe des Fehlersignals angepaßte Nachführung realisiert werden kann.

Patentsprüche

1. Verfahren zum Umwandeln eines analogen Eingangssignals (α) in eine Sequenz von digitalen Ausgangswerten (Θ_n), mit folgenden Schritten:

- a) Bilden eines ersten Differenzwertes (ϵ) zwischen dem aktuellen digitalen Ausgangswert (Θ_n) und dem analogen Eingangssignal (α);
- b) Überprüfen, ob der Betrag des ersten Differenzwertes (ϵ) einen vorbestimmten Betrag (S) überschreitet;
- c) falls der Betrag des ersten Differenzwertes (ϵ) den vorbestimmten Betrag überschreitet, Nachregeln des digitalen Ausgangswertes (Θ_n) unter Verwendung eines bestimmten Regelwertes;
- d) falls der Betrag des ersten Differenzwertes (ϵ) den vorbestimmten Betrag nicht überschreitet,
 - d1) Bilden eines zweiten Differenzwertes (δ) zwischen dem ersten Differenzwert (ϵ) und einem Integrationswert (Σ), der aus der Summe der ersten Differenzwerte (ϵ) besteht, seit die Überprüfung in dem Schritt d) durchgehend ergab, daß der Betrag des ersten Differenzwertes (ϵ) den vorbestimmten Betrag nicht überschreitet;
 - d2) Vergleichen des zweiten Differenzwertes mit einem vorbestimmten Schwellenwert;
 - d3) Inkrementieren oder Dekrementieren des digitalen Ausgangswertes abhängig von dem Ergebnis des Vergleichs in dem Schritt d2).

2. Verfahren gemäß Anspruch 1, bei dem der Schritt des Nachregelns im Schritt (c) das Addieren oder Subtrahieren einer Mehrzahl von vorbestimmten Zählerwerten zu bzw. von dem aktuellen digitalen Ausgangswert (Θ_n) abhängig von dem Vorzeichen des ersten Differenzwertes (ϵ) aufweist, bis der Ausgangswert (Θ_n) den Wert des Eingangssignals (α) überquert, oder der Betrag des ersten Differenzwertes (ϵ) den vorbestimmten Betrag (S) unterschreitet.

3. Verfahren gemäß Anspruch 1 oder 2, bei dem der Schritt d3) folgende Teilschritte aufweist:

- d3a) falls der zweite Differenzwert (δ) größer als der vorbestimmte Schwellenwert ist, Inkrementieren des digitalen Ausgangswertes (Θ_n); und
- d3b) falls der zweite Differenzwert (δ) kleiner als der vorbestimmte Schwellenwert ist, Dekrementieren des digitalen Ausgangswertes (Θ_n).

4. Verfahren gemäß Anspruch 3, bei dem der Schritt d3a) folgenden Teilschritt aufweist: Unterdrücken des Inkrementierens für eine vorbestimmte Anzahl von Malen, seit der Vergleich in dem Schritt d2) durchgehend ergab, daß der zweite Differenzwert (δ) größer als der vorbestimmte Schwellenwert ist, und bei dem der Schritt d3b) folgenden Teilschritt aufweist:

Unterdrücken des Dekrementierens für eine vorbestimmte Anzahl von Malen, seit der Vergleich in dem Schritt d2) durchgehend ergab, daß der zweite Differenzwert (δ) kleiner als der vorbestimmte Schwellenwert ist.

5. Verfahren gemäß einem der Ansprüche 1 bis 4, das ferner folgende Schritte aufweist: Bilden eines Mittelwertes bezüglich einer variierbaren Anzahl von aufeinanderfolgenden Ausgangswerten (Θ_n);

und

Ausgeben des Mittelwertes als gefilterten Ausgangswert in der Sequenz von Ausgangswerten (Θ_n) anstatt den aufeinanderfolgenden Ausgangswerten (Θ_n).

6. Verfahren gemäß Anspruch 5, das ferner folgenden Schritt aufweist: Anpassen der variierbaren Anzahl an eine vorgegebene Ausgaberate.

7. Verfahren gemäß einem der vorhergehenden Ansprüche, bei dem der Schritt a) des Bildens des ersten Differenzwertes folgende Schritte aufweist:

Empfangen eines ersten und zweiten Eingangssignals (U_{sin} , U_{cos}), die zueinander in Quadratur stehen;

Multiplizieren des ersten Eingangssignals (U_{sin}) mit dem Cosinus des digitalen Ausgangswerts (Θ_n);

Multiplizieren des zweiten Eingangssignals (U_{cos}) mit dem Sinus des digitalen Ausgangswerts (Θ_n);

Addieren der Ergebnisse der Multiplikationen; und

Ausgeben der Summe als den ersten Differenzwert (ϵ).

8. Verfahren gemäß Anspruch 7, bei dem zur Multiplikation der negative digitale Ausgangswert (Θ_n) verwendet wird, wenn das Trägersignal (UTräger), mit dem das erste und zweite Eingangssignal (U_{sin} , U_{cos}) moduliert ist, kleiner Null ist.

9. Vorrichtung zum Umwandeln eines analogen Eingangssignals (α) in eine Sequenz von digitalen Ausgangswerten (Θ_n), mit

einer Einrichtung (610) zum Bilden eines ersten Differenzwertes (ϵ) zwischen dem aktuellen digitalen Ausgangswert (Θ_n) und dem analogen Eingangssignal (α);

einer Einrichtung (640, 650; 655, 660) zum Überprüfen, ob der Betrag des ersten Differenzwertes (ϵ) einen vorbestimmten Betrag (S) überschreitet;

einer Einrichtung (670, 680; 965, 970) zum Nachregeln des digitalen Ausgangswerts (Θ_n) unter Verwendung eines vorbestimmten Regelwertes, falls der Betrag des ersten Differenzwertes (ϵ) den vorbestimmten Betrag (S) überschreitet;

einer Einrichtung (620, 630; 945, 950) zum Bilden eines zweiten Differenzwertes zwischen dem ersten Differenzwert (ϵ) und einem Integrationswert (Σ), der aus der Summe der ersten Differenzwerte (ϵ) besteht, seit die Überprüfung durch die Einrichtung zum Überprüfen (640, 650; 955, 960) durchgehend ergab, daß der Betrag des ersten Differenzwertes (ϵ) den vorbestimmten Betrag (S) nicht überschreitet, zum Vergleichen des zweiten Differenzwertes mit einem vorbestimmten Schwellenwert, und zum Inkrementieren oder Dekrementieren des digitalen Ausgangswerts (Θ_n) abhängig von dem Ergebnis des Vergleichs.

10. Vorrichtung gemäß Anspruch 9, bei der die Einrichtung (670, 680; 965, 970) zum Nachregeln ferner einer Einrichtung zum Addieren oder Subtrahieren einer Mehrzahl von vorbestimmten Zählerwerten zu bzw. von dem aktuellen digitalen Ausgangswert (Θ_n) abhängig von den Vorzeichen des ersten Differenzwertes (ϵ) aufweist, bis der digitale Ausgangswert (Θ_n) das Eingangssignal (α) überquert, oder der Betrag des ersten Differenzwertes den vorbestimmten Betrag (S) unterschreitet.

11. Vorrichtung gemäß Anspruch 9 oder 10, bei der die Einrichtung zum Inkrementieren oder Dekrementieren folgende Merkmale aufweist:

eine Einrichtung zum Inkrementieren des digitalen Ausgangswerts (Θ_n), falls der zweite Differenzwert (δ) größer als der vorbestimmte Schwellenwert ist; und

eine Einrichtung zum Dekrementieren des digitalen Ausgangswerts (Θ_n), falls der zweite Differenzwert (δ) kleiner als der vorbestimmte Schwellenwert ist.

12. Vorrichtung gemäß Anspruch 11, bei der die Einrichtung zum Inkrementieren folgendes Merkmal aufweist:

eine Einrichtung zum Unterdrücken des Inkrementierens für eine vorbestimmte Anzahl von Malen, seit der Vergleich durch die Einrichtung zum Vergleichen durchgehend ergab, daß der zweite Differenzwert (δ) größer als der vorbestimmte Schwellenwert ist,

und bei der die Einrichtung zum Dekrementieren folgendes Merkmal aufweist:

eine Einrichtung zum Unterdrücken des Dekrementierens für eine vorbestimmte Anzahl von Malen, seit der Vergleich durch die Einrichtung zum Vergleichen durchgehend ergab, daß der zweite Differenzwert (δ) kleiner als der vorbestimmte Schwellenwert ist.

13. Vorrichtung gemäß einem der Ansprüche 9 bis 12, die ferner folgendes Merkmal aufweist:

eine Einrichtung (690; 980) zum Bilden eines Mittelwertes bezüglich eines variierbaren Anzahl von aufeinanderfolgenden Ausgangswerten (Θ_n) und zum Ausgeben des Mittelwertes als gefilterten Ausgangswert anstatt der aufeinanderfolgenden Ausgangswerte (Θ_n).

14. Vorrichtung gemäß Anspruch 13, die ferner folgendes Merkmal aufweist:

Einrichtung (670) zum Anpassen der variierbaren Anzahl an eine vorgegebene Ausgaberate.

15. Vorrichtung gemäß einem der Ansprüche 9 bis 14, bei der die Einrichtung (610) zum Bilden des ersten Differenzwertes (ϵ) ein erstes und ein zweites Eingangssignal (U_{sin} , U_{cos}) empfängt, die zueinander in Quadratur stehen, und folgende Merkmale aufweist:

einen Cosinus-Multiplizierer (800) zum Empfangen des ersten Eingangssignals (U_{sin}) und zum Multiplizieren desselben mit dem Cosinus des digitalen Ausgangswerts (Θ_n);

einen Sinus-Multiplizierer (810) zum Empfangen des zweiten Eingangssignals (U_{cos}) und zum Multiplizieren desselben mit dem Sinus des digitalen Ausgangswerts (Θ_n); und

einen Addierer (820), der die Ergebnisse der Multiplikation des Cosinus- und Sinus-Multiplizierers (800, 810) empfängt, zum Addieren derselben und Ausgeben der Summe als den ersten Differenzwert (ϵ).

16. Vorrichtung gemäß Anspruch 15, bei der der Sinus- und der Cosinus-Multiplizierer (800, 810) den negativen digitalen Ausgangswert (Θ_n) zur Multiplikation verwenden, wenn das Trägersignal (UTräger), mit dem das erste und zweite Eingangssignal (U_{sin} , U_{cos}) moduliert ist, kleiner Null ist.

17. Vorrichtung gemäß einem der Ansprüche 9 bis 16, die in einer Standard-CMOS-Technologie implementiert ist.

Hierzu 9 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

65

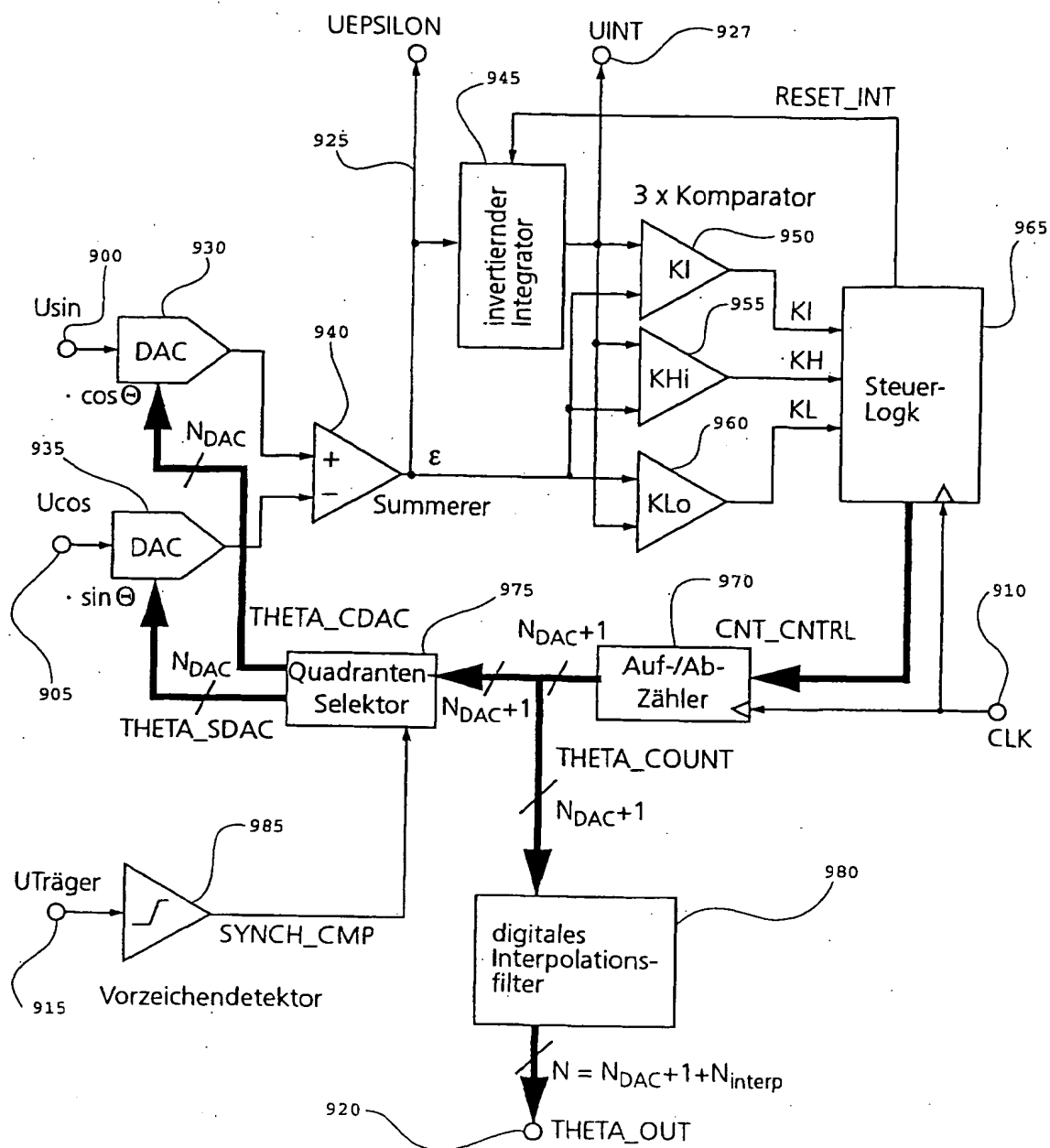
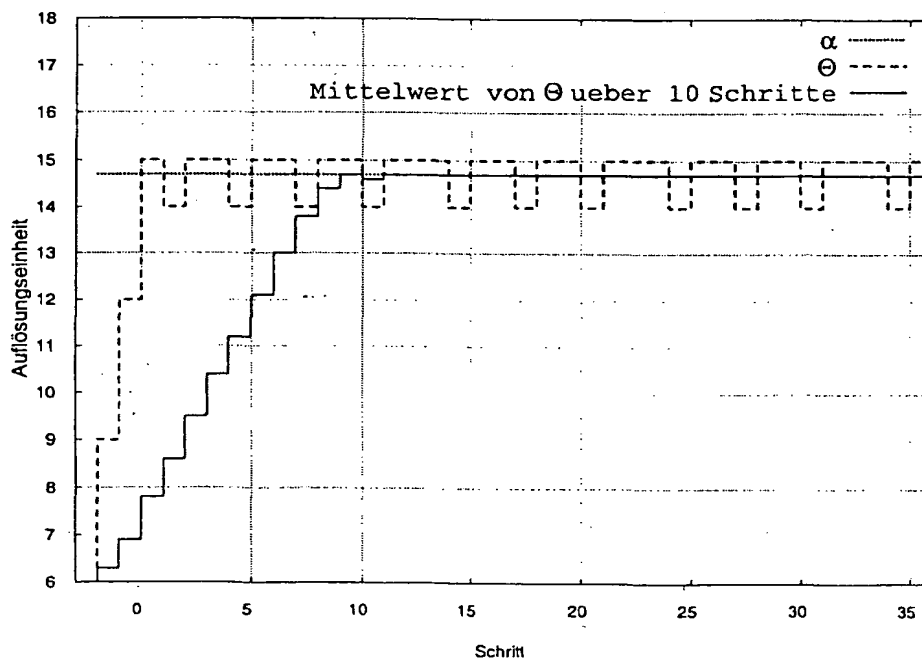
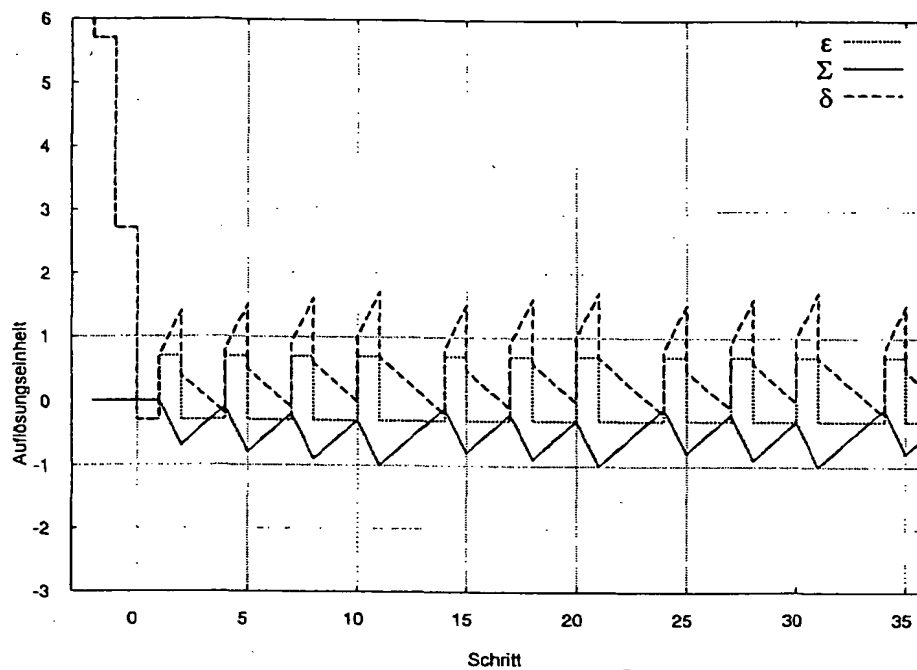


FIG. 12



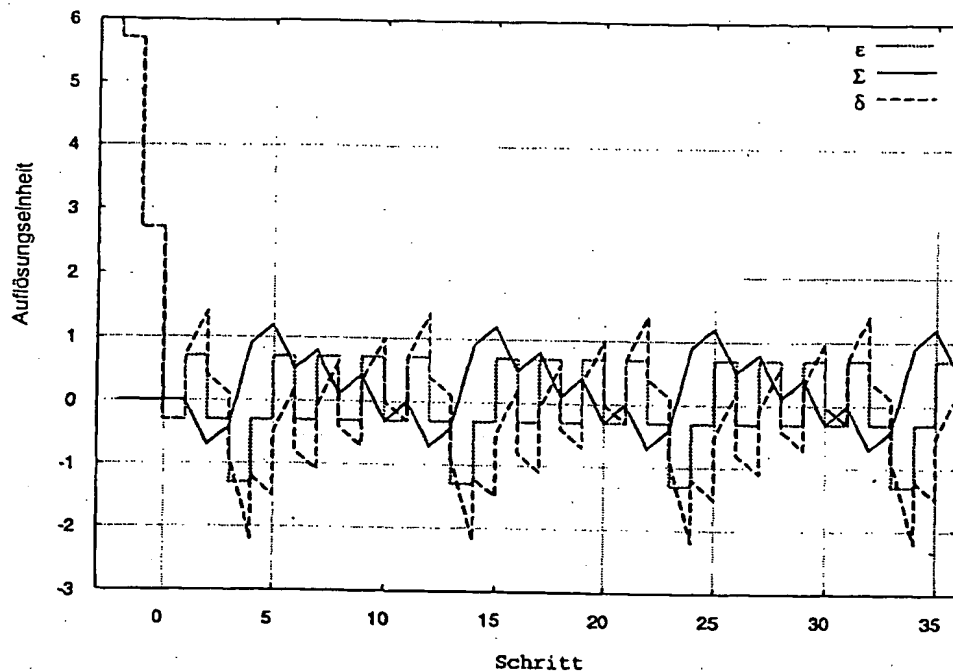


FIG. 11a

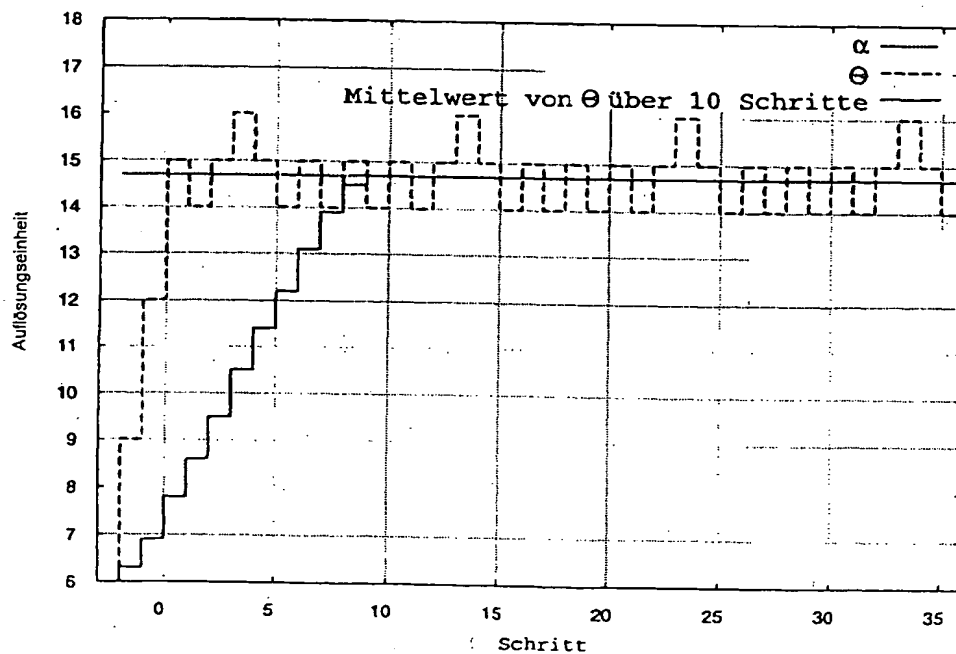


FIG. 11b

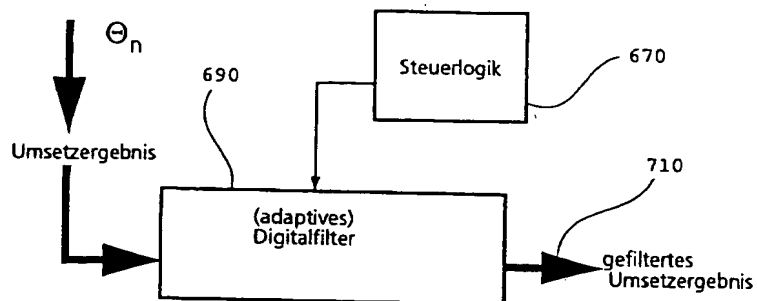


Fig. 9

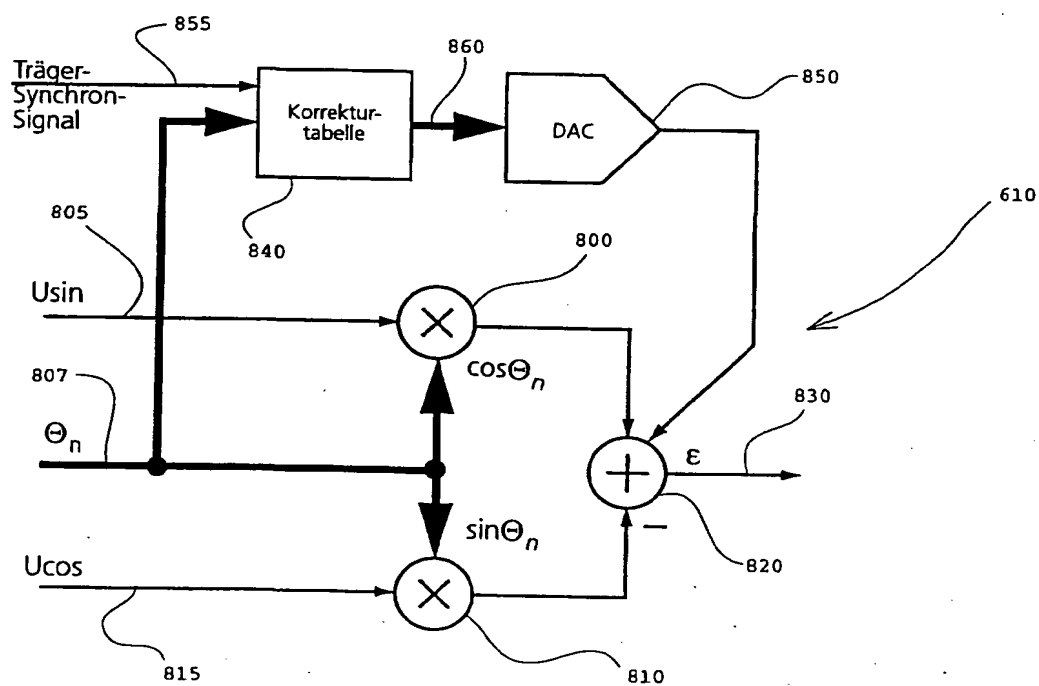


Fig. 10

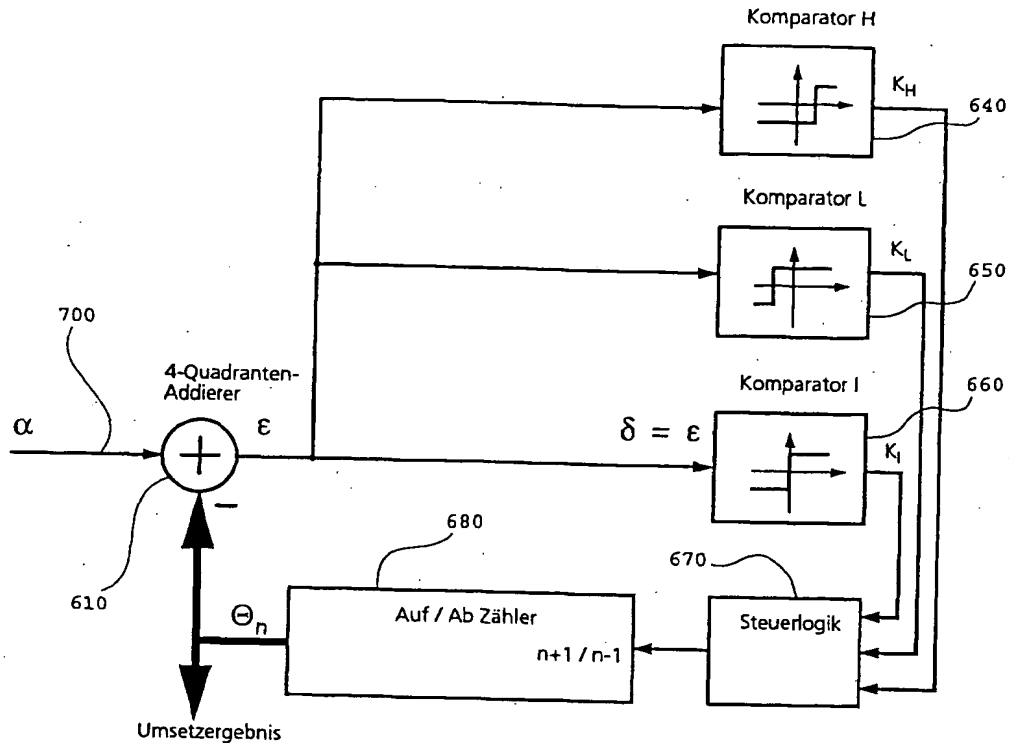


Fig. 7

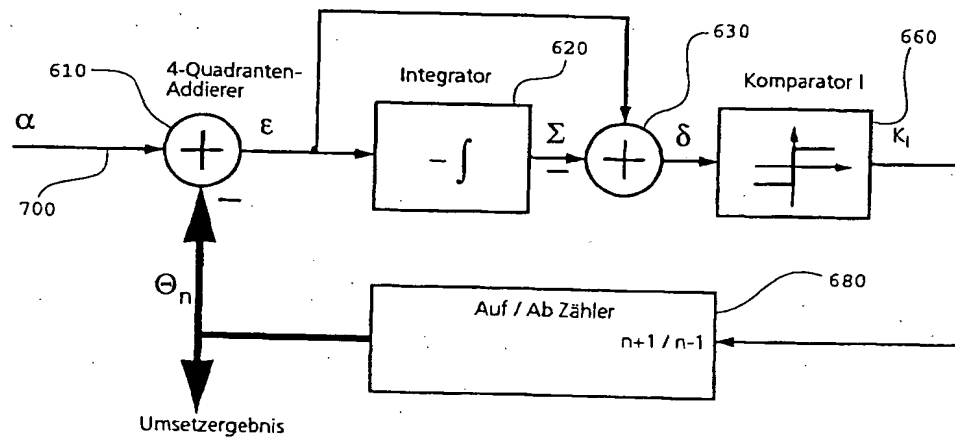


Fig. 8

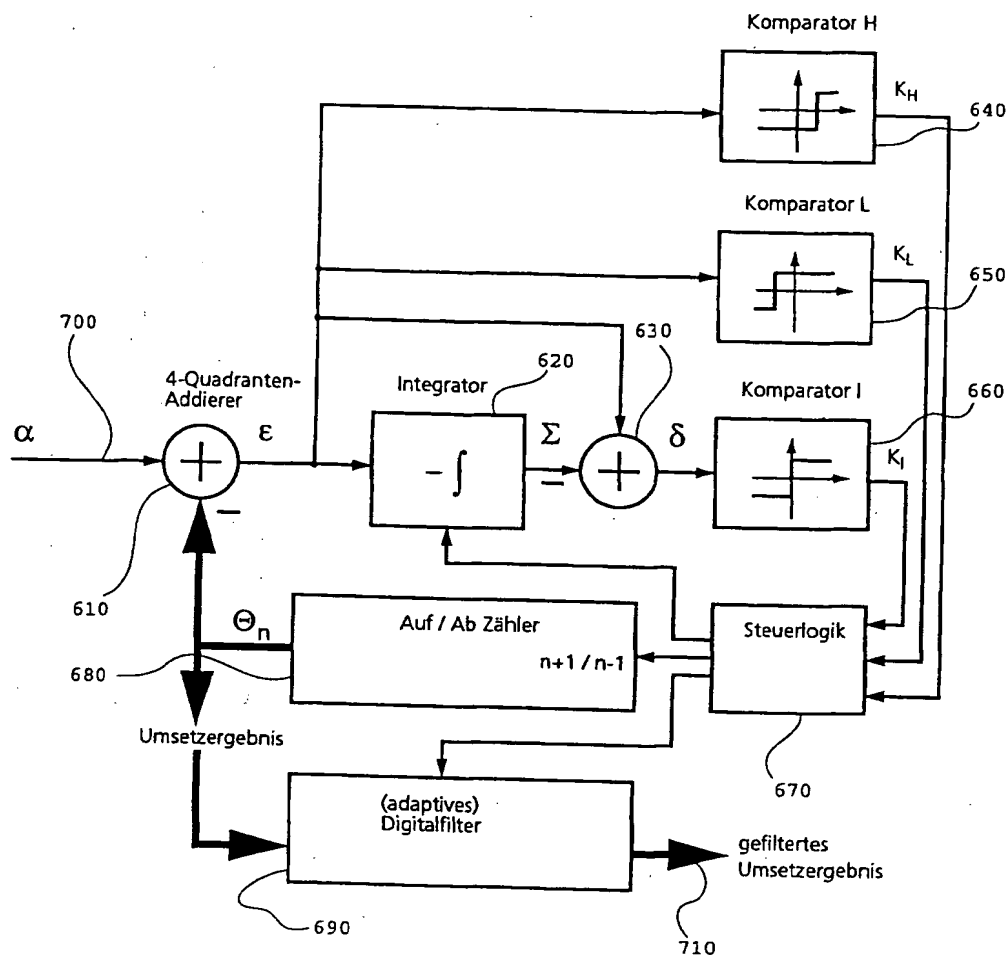


Fig. 6

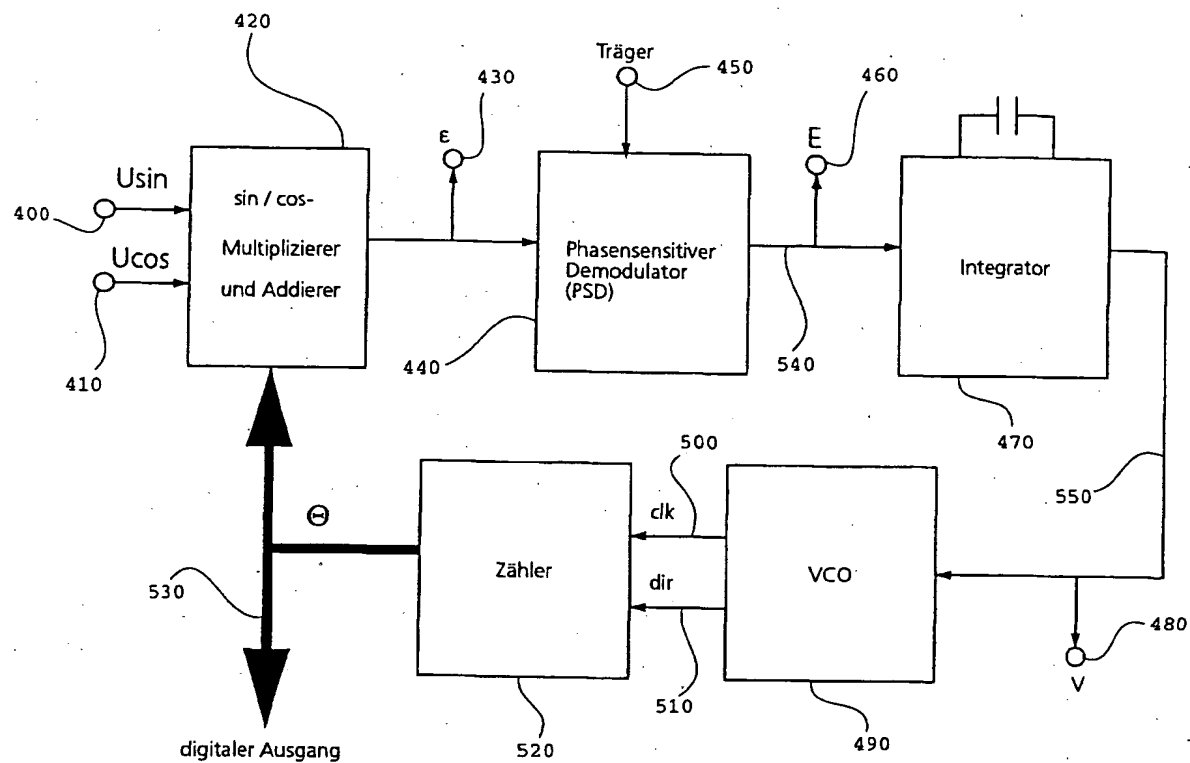


Fig. 5

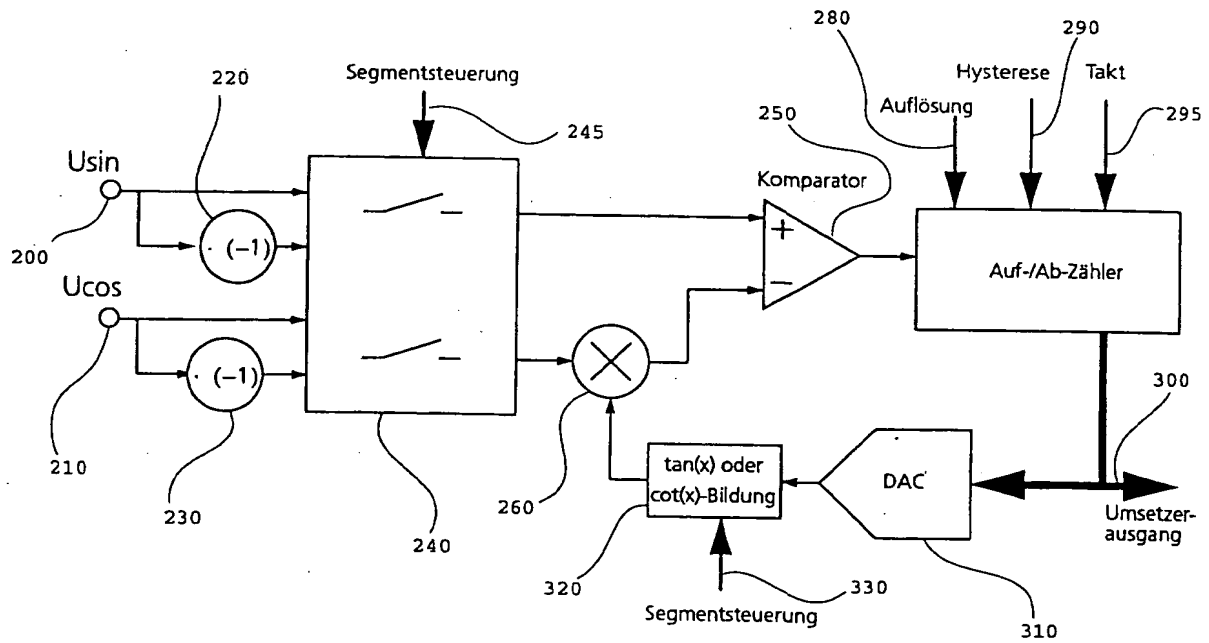


Fig. 4

- Leerseite -

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

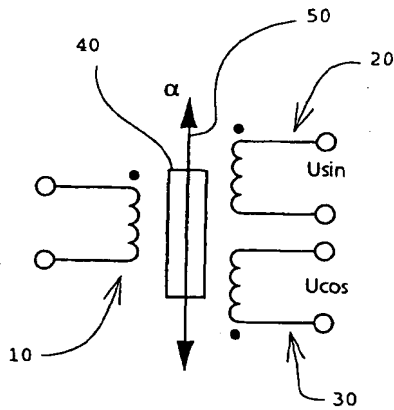


Fig. 1a

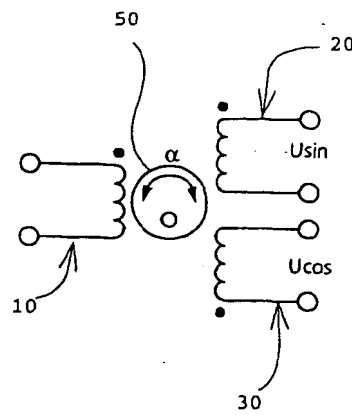


Fig. 1b

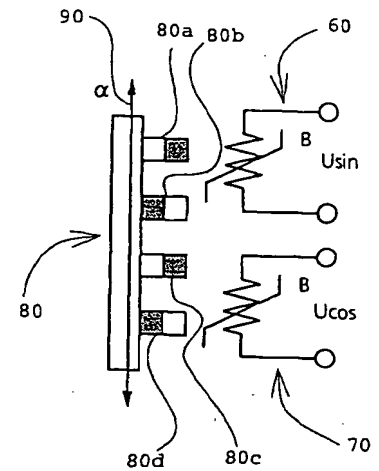


Fig. 1c

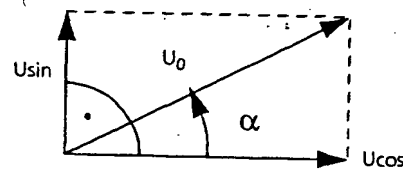


Fig. 2

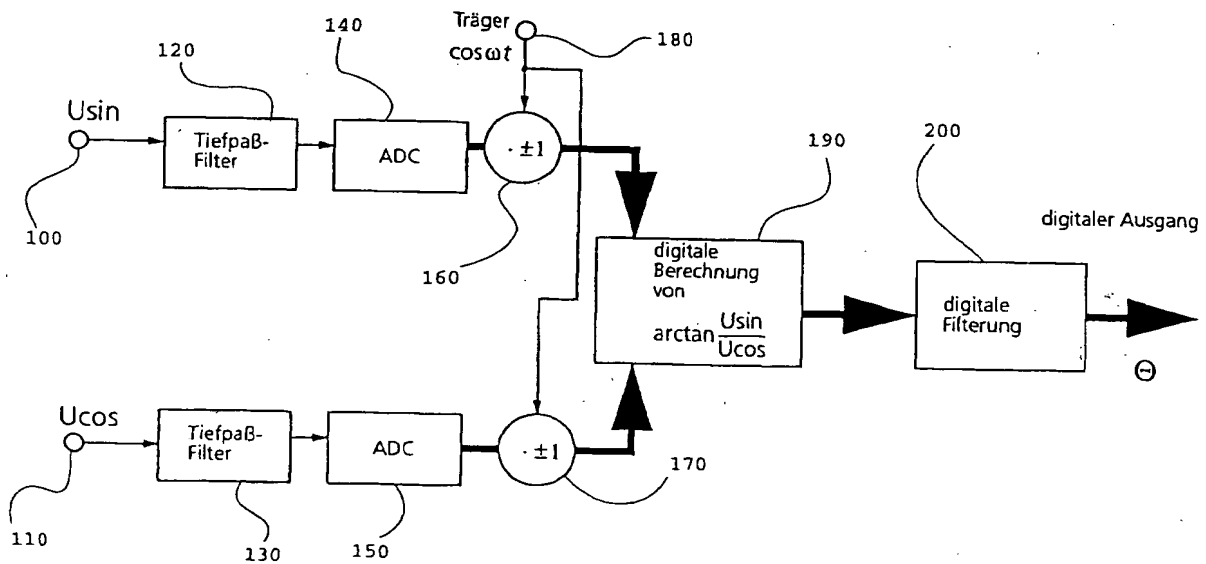


Fig. 3